

PUB. NO.: 08-329687 [JP 8329687 A]

PUBLISHED: December 13, 1996 (19961213)

INVENTOR(s): SHINPO TOSHINOBU

TACHIBANA MASARU

NARITA SUSUMU

YOSHIOKA SHINICHI

ISHIBASHI KOICHIRO

HIGUCHI HISAYUKI

NAKAGOME YOSHINOBU

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

HITACHI VLSI ENG CORP [489108] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 07-138053 [JP 95138053]

FILED: June 05, 1995 (19950605)

INTL CLASS: [6] G11C-015/00

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

ABSTRACT

PURPOSE: To provide a semiconductor integrated circuit which allows storage of different page size conversion pairs by storing page size values in an address array and changing the range of comparison with a comparator using each value read from the array.

CONSTITUTION: When the value of region SZ 500 are 0 and 1, the page size is set at 1KB and 4KB respectively. At the time when the value is 0, 31 to 17 bits, 11 bits, 10 bits read from an address array 402 are compared with 31 to 17 bits, 11 and 10 bits of the virtual address by a comparator 404. At the time when the value is 1, only 31 to 17 bits of the array 402 and 31 to 17 bits of the address 505 are compared. When the readout value of the array 402 agrees with that of the array 505 and the value of V bit 501 is 1, the result of comparison 20 makes a hit. When the page size is 1KB, the real page numbers, which correspond to the address 505 where 31 to 37 bits

are identical and 10, 11 bits are different, are mapped on the same set, causing possibility of collision. However, collision can be avoided by storing the conversion pair into the same set by setting the tag field lower order than the index at 2 bits and 4 ways.

特開平8-329687

(43)公開日 平成8年(1996)12月13日

(51)IntCl⁶

識別記号

庁内整理番号

FI

技術表示箇所

G11C 15/00

G11C 15/00

D

審査請求 未請求 請求項の数4 OL (全 29 頁)

(21)出願番号 特願平7-138053

(22)出願日 平成7年(1995)6月5日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 新保 利信

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74)代理人 弁理士 秋田 収喜

最終頁に続く

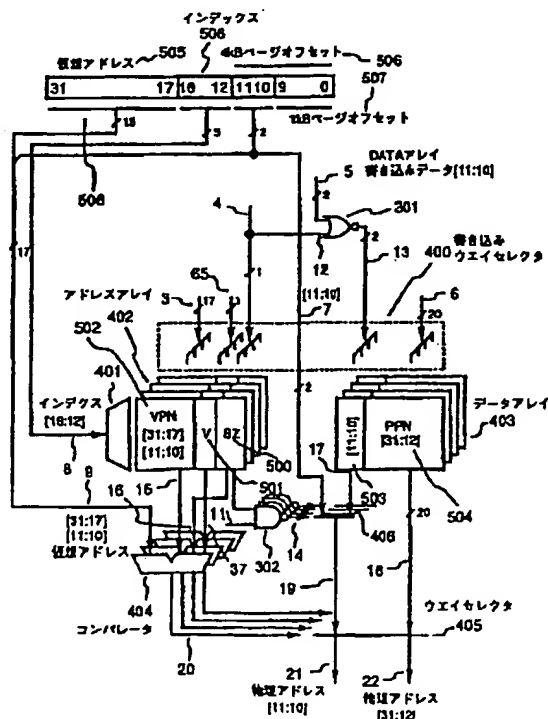
(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 エントリ毎に異なるページサイズのアドレス変換対を記憶可能なセットアソシアティブ方式のTLBを備える半導体集積回路を提供すること。

【構成】 セットアソシアティブ方式のTLBを備える半導体集積回路において、複数のアドレスアレイにページサイズを示す値を記憶する第2の領域を設け、第2の領域から読み出したそれぞれの値によりコンパレータで比較する比較範囲を変更する。また、複数のデータアレイの第2の領域には、ページサイズが変わることによって、ページ内のアドレスとなるか、ページ番号となるかが変化するビット位置のアドレスを記憶する。複数のアドレスアレイの第2の領域から読み出したそれぞれの値に基づいて、外部から入力された仮想アドレスの所定位置のアドレス、あるいは、複数のデータアレイの第2の領域から読み出したそれぞれのアドレスを第2のセクタにより選択し、物理アドレスとして出力する。

図1



【特許請求の範囲】

【請求項1】 入力される仮想アドレスを、実アドレスに変換するメモリ回路を備える半導体集積回路において、前記メモリ回路が、仮想アドレスの上位アドレスの一部を記憶する第1の領域と、ページサイズを示す値を記憶する第2の領域とを有する複数のアドレスアレイと、実アドレスの上位アドレスの一部を記憶する第1の領域と、少なくとも実アドレスの残りの上位アドレスを記憶する第2の領域とを有する複数のデータアレイと、入力される仮想アドレスのインデックスアドレスをデコードして前記複数のアドレスアレイと前記複数のデータアレイの特定の行を選択するデコードと、前記複数のアドレスアレイの前記デコードにより選択された第2の領域から読み出されたそれぞれの値に基づき比較範囲を変更させて、前記複数のアドレスアレイの前記デコードにより選択された第1の領域から読み出されたそれぞれのアドレスと前記入力される仮想アドレスの上位アドレスの一部とを比較する複数の比較回路と、前記複数のアドレスアレイの前記デコードにより選択された第2の領域から読み出されたそれぞれの値に基づいて、前記複数のデータアレイの前記デコードにより選択された第2の領域から読み出されたそれぞれの実アドレス、あるいは、前記入力される仮想アドレスの所定位置のアドレスのいずれか一方を選択する複数の第2のセクタと、前記複数の比較回路の比較結果に基づいて、前記複数のデータアレイの前記デコードにより選択された第1の領域から読み出されたそれぞれの実アドレスの中の1つ、および、前記第2のセクタにより選択されたそれぞれのアドレスの中の1つを選択する第1のセクタとを有することを特徴とする半導体集積回路。

【請求項2】 前記複数のアドレスアレイの第1の領域が、各列毎に複数の記憶素子からなるメモリセルと、複数のメモリセルが接続されメモリセルの相補信号が伝達されるデータ線対と、前記データ線対の電位がスイッチング素子を介して伝達されるセンス線対と、前記データ線対および前記センス線対を電源電位にプリチャージする複数のプリチャージ回路と、前記デコードにより選択されたメモリセルから読み出した値により生じる前記センス線対の電位差を増幅するセンスアンプ回路と、前記センス線対の電位の変化を検出する検出回路とを有し、前記複数の比較回路が、一方の入力端子に、前記複数のアドレスアレイの各列毎に設けられる前記検出回路の出力が入力され、他方の入力端子に、仮想アドレスの各ビットのビット値が入力される複数の排他的論理和回路と、前記複数の排他的論理和回路の出力がゲート電極に印加される複数のNMOSトランジスタと、前記複数のNMOSトランジスタの一方の電極に接続されるヒット線とを有することを特徴とする請求項1に記載された半導体集積回路。

【請求項3】 前記メモリ回路が、前記複数のアドレス

アレイのそれぞれの第2の領域にデータを書き込む書込手段を有し、また、前記複数の第2のセクタが、読み出し動作が開始する前に、前記複数のデータアレイの前記デコードにより選択された第2の領域から読み出されたそれぞれの実アドレスを選択して前記第1のセクタに入力し、読み出し動作が開始された後に、前記複数のアドレスアレイの前記デコードにより選択された第2の領域から読み出されたそれぞれの値が、前記入力される仮想アドレスの所定位置のアドレスを選択する値である場合、前記複数のデータアレイの第2の領域から読み出されたそれぞれの実アドレスに代えて、前記入力される仮想アドレスの所定位置のアドレスを選択して前記第1のセクタに入力する手段を有し、前記書込手段が、前記複数のアドレスアレイの第2の領域に書き込むそれぞれの値と、前記複数のデータアレイの第2の領域に書き込むそれぞれの実アドレスとの所定の論理をとり、前記複数の第2のセクタが、読み出し動作が開始された後に、前記入力される仮想アドレスの所定位置のアドレスを選択する時に、前記第1のセクタが読み出し動作が開始する前の状態を維持する値を、前記複数のデータアレイのそれぞれの第2の領域に書き込むことを特徴とする請求項1または請求項2に記載された半導体集積回路。

【請求項4】 前記メモリ回路が、前記複数の第2のセクタと前記第1のセクタとの間に論理手段を有し、また、前記複数の第2のセクタが、読み出し動作が開始する前に、前記複数のデータアレイの前記デコードにより選択された第2の領域から読み出されたそれぞれの実アドレスを選択し、読み出し動作が開始された後に、前記複数のアドレスアレイの前記デコードにより選択されたそれぞれの第2の領域から読み出されたそれぞれの値が、前記入力される仮想アドレスの所定位置のアドレスを選択する値である場合、前記複数のデータアレイの第2の領域から読み出されたそれぞれの実アドレスに代えて、前記入力される仮想アドレスの所定位置のアドレスを選択する手段を有し、前記論理手段が、前記複数の第2のセクタにより選択されたそれぞれのアドレスと、前記複数のアドレスアレイの前記デコードにより選択された第2の領域から読み出されたそれぞれの値と同程度の遅延を有する信号との間で所定の論理をとって、第1のセクタに出力する手段を有することを特徴とする請求項1または請求項2に記載された半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路に係わり、特に、高速CMOS TLB (Translation Look-aside Buffer) 回路を備える半導体集積回路に関する。

【0002】

【従来の技術】マイクロプロセサの記憶管理の手法として仮想記憶方式が知られている。

【0003】前記仮想記憶方式では、仮想アドレス (Virtual Address、あるいは、論理アドレス: Logical Address、以下、VAと称す。) 空間と実アドレス (Real Address、あるいは、物理アドレス: Physical Address) 空間の対応付けが必要となる。

【0004】この仮想アドレス空間と実アドレス空間の対応付けの主要な方法として、ページを基本単位とする仮想記憶方式 (ページ方式 (ページング方式) あるいはページ化セグメント方式) が知られている。

【0005】これらページ方式あるいはページ化セグメント方式では、仮想アドレス空間と実アドレス空間は、それぞれ所定サイズのページと呼ばれる連続した領域に分割され、仮想アドレス空間でのページ番号 (Virtual Page Number、あるいは、論理空間ページ番号: Logical Page Number、以下、VPNと称する。) と実アドレス空間でのページ番号 (Real Page Number、あるいは、物理空間ページ番号、Physical Page Number、以下、PPNと称す。) の対応関係が決定される。

【0006】即ち、各ページ毎に、仮想アドレスが実メモリに割り当てられる。

【0007】例えば、32ビット (VA [31:0]) の仮想アドレスでアクセスされる仮想アドレス空間を4KB (キロバイト) のサイズのページに分割する場合、仮想アドレスの上位20ビット (VA [31:12]) が仮想アドレス空間でのページ番号として扱われ、仮想アドレスの下位12ビット (VA [11:0]) がページ内の相対アドレス (ディスプレースメントあるいはオフセット) として扱われる。

【0008】以下、本明細書では、[m:n] でmビット目からnビット目までのビット位置を指すものとする。

【0009】仮想アドレス空間でのページ番号は、実アドレス空間でのページ番号に変換され (アドレス変換、メモリマッピング)、実アドレス空間でのページ番号とページ内の相対アドレスが組み合わされて、実メモリがアクセスされる。

【0010】なお、ページ内の相対アドレスは変換されない。

【0011】仮想アドレス空間のページ番号から、実アドレス空間のページ番号への変換は、メモリ管理ユニット (Memory Management Unit、以下、MMUと称す。) と呼ばれるハードウェアとオペレーティングシステム (Operating System) と呼ばれるソフトウェアの両者の働きによって行われる。

【0012】高速な仮想記憶方式を実現するために、一般に高性能マイクロプロセサには、アドレス変換バッファ (Translation Look-aside Buffer、以下、TLBと称す。) と呼ばれるアドレス変換のための機能メモリが搭載される。

【0013】TLBは、MMUに内蔵され、仮想アドレス空間でのページ番号を実アドレス空間でのページ番号に変換する。

【0014】仮想アドレス空間でのページ番号と実メモリ上でのページ番号 (実アドレス空間でのページ番号) の対応表の全体は、主メモリ上あるいは補助記憶装置上にあるページテーブル (ページ表) に記憶される。

【0015】そのページテーブルの一部分のコピーがTLBに記憶され、TLBはページテーブルのキャッシュメモリ (アドレスマッピング キャッシュ) として働く。

【0016】前記TLBでのアドレス変換時間は、マイクロプロセサの処理速度に影響を与え、TLBのアドレス変換時間の短縮が試みられている。

【0017】このような試みとして、下記文献 (イ)、あるいは、文献 (ロ) に記載されているTLB回路が知られている。

【0018】(イ) T. Takayanagi et al., "2.6 Gbyte/sec Bandwidth cache/TLB Macro for High-Performance RISC Processor," Proceedings of Custom Integrated Circuits Conference, pp. 10.2.1-10.2.4, 1991

(ロ) G. Gerosa et al., "A2.2 W, 80MHz Superscalar RISC Microprocessor," J. Solid-State Circuits, vol. 29, no. 12, pp. 1440-1454, Dec. 1994

前記文献 (イ) に記載された従来のTLB回路では、アドレス変換時間の短縮のためにマッチ線の放電回路をダイナミック回路として、アドレス変換時間およびキャッシュメモリのアクセス時間として合計12nsの性能を達成している。

【0019】また、前記文献 (ロ) に記載された従来のTLB回路では、コンパレータをダイナミック回路とすることで、アドレス変換時間の短縮を図っている。

【0020】ページを基本単位とする仮想記憶方式 (ページ方式あるいはページ化セグメント方式) では、ページの数だけアドレス変換対が必要となる。

【0021】以下、ページ表の内容の対応する仮想アドレス空間でのページ番号と実アドレス空間でのページ番号の一对をアドレス変換対あるいは単に変換対と呼ぶことにする。

【0022】ある一定の記憶容量のメモリ空間をページに分割する場合、ページの大きさ（ページサイズ）が小さい場合は、ページの数は大くなる。

【0023】また、ページサイズが大きい場合は、ページ数は小さくてすみ、アドレス変換対の数が少なくてよいのでページテーブルのための記憶容量を節約することができる。

【0024】しかしながら、ページサイズが大きすぎると、ページ内での無駄な領域が大きくなる（内部フラグメンテーション）こともあり、最近の高性能マイクロプロセッサでは、用途に合わせてページサイズを選択できるよう複数のページサイズを持つことが一般的となっている。

【0025】複数のページサイズを扱うためには、TLBも複数ページサイズを記憶できなければならない。

【0026】前記したアドレス変換時間、使用できるページサイズの数以外に、TLBの性能指標としてヒット率（必要な変換対がTLBに記憶されている確率）が挙げられる。

【0027】前記ヒット率は、連想方式およびTLBのサイズ（エントリ数）が関係する。

【0028】ここで、連想方式にはCAM（Content Addressable Memory、連想メモリ）方式とセットアソシアティブ方式とがある。

【0029】前記CAM方式は小容量のメモリで高いヒット率を得ることができるが、設計が難しく、また、各メモリセルに比較器を内蔵し、これら全ての比較器が動作することから消費電力が大きくなる傾向がある。

【0030】一方セットアソシアティブ方式は、大容量のメモリでなければ高いヒット率を得ることができないが、連想度（ウェイ数）が小さい場合には、消費電力が小さく、また設計が比較的容易で、一般にキャッシュメモリがセットアソシアティブ方式であることから、キャッシュメモリと回路を共通化でき設計期間を低減できる利点もある。

【0031】従来のページサイズ可変TLBとして、下記文献（ハ）、あるいは、下記公報（ニ）に記載された2つのページサイズ可変TLB回路が知られている。

【0032】（ハ） 田中 他，”アクセスタイム5ns CMOS Translation Lookaside Bufferr”，電子情報通信学会技術研究報告，ICD92-57，pp. 29-35，1992

（ニ） 特開平5-282877号公報
前記文献（ハ）、あるいは、前記公報（ニ）に記載された従来のページサイズ可変TLB回路では、CAM回路を用いて、入力された仮想アドレス（のタグフィールド）とメモリに記憶している（タグ）データの比較範囲（連想範囲）をページサイズを示すメモリセルのデータを用いて変化させることで、エントリ毎に異なるページサイズのアドレス変換対を記憶する特性を実現してい

た。

【0033】また、従来のページサイズ可変TLBの他の公知例として、下記文献（ホ）に記載されたページサイズ可変TLB回路が知られている。

【0034】（ホ） T. Takayanagi et al., "Embedded Memory Design for a Four Issue Superscaler RISC Processor," Proceedings of Custom Integrated Circuits Conference, pp. 26.1.1-26.1.6, 1994

前記文献（ホ）に記載された従来の他のページサイズ可変TLB回路は、セットアソシアティブ方式を用い、制御信号によりインデックスフィールド（仮想アドレス中のセットアソシアティブ方式のセットを選択するアドレス部分）、および、タグフィールド（TLBに記憶されたデータと比較する仮想アドレスのアドレス部分）として扱う仮想アドレス中のビット位置を、ページサイズに合わせて変化させることで、ページサイズ可変の特性を実現していた。

【0035】

【発明が解決しようとする課題】しかしながら、前記文献（ハ）に記載されている従来のページサイズ可変TLB回路では、各エントリ毎に異なるページサイズのアドレス変換対を記憶する特性を実現していたが、CAM方式を用いていたために、キャッシュメモリと設計を共通化できず、また消費電力も大きくなるという問題点があった。

【0036】ページサイズ可変TLB回路において、キャッシュメモリと回路を共通化して設計期間を低減し、また、低消費電力のTLB回路を実現するためにはセットアソシアティブ方式の回路でページサイズ可変の特性を実現する必要がある。

【0037】一方、前記文献（ホ）に記載された従来のセットアソシアティブ方式のページサイズ可変TLB回路では、制御信号により、入力された仮想アドレスからインデックスフィールド（仮想アドレス中のセットアソシアティブ方式のセットを選択するアドレス部分）とタグフィールド（TLBに記憶されたデータと比較する仮想アドレスのアドレス部分）を選択するために、エントリ毎に異なるページサイズのアドレス変換対を記憶することができないという問題があった。

【0038】即ち、前記文献（ホ）に記載された従来のセットアソシアティブ方式のページサイズ可変TLB回路では、TLB内の全ての変換対のページサイズを一括して変化させていた。

【0039】このため、何種類かのページサイズの変換対を同時にTLBに記憶することはできず、何種類かのページサイズが混在する複数のプロセスを同時に処理できないという問題があった。

【0040】さらに、前記文献（イ）に記載されている従来のTLB回路では、マッチ線の放電回路をダイナミック回路として高速化を図っているが、CAM方式の回路しか示されておらず、セットアソシアティブ方式の高速な比較回路等は示されていない。

【0041】また、従来の前記文献（ロ）に記載されている従来のTLB回路は、高速ではあるが、ページサイズは4KBに固定され、異なるページサイズのアドレス変換対を記憶することはできないという問題点があった。

【0042】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、セットアソシアティブ方式のTLBを備える半導体集積回路において、エントリ毎に異なるページサイズのアドレス変換対を記憶することが可能となる技術を提供することにある。

【0043】本発明の他の目的は、エントリ毎に異なるページサイズのアドレス変換対を記憶することができるページサイズ可変のセットアソシアティブ方式のTLBを備える半導体集積回路において、ダイナミック駆動することが可能となる技術を提供することにある。

【0044】本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかにする。

【0045】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0046】（1）入力される仮想アドレスを、実アドレスに変換するメモリ回路を備える半導体集積回路において、前記メモリ回路が、仮想アドレスの上位アドレスの一部を記憶する第1の領域と、ページサイズを示す値を記憶する第2の領域とを有する複数のアドレスアレイと、実アドレスの上位アドレスの一部を記憶する第1の領域と、少なくとも実アドレスの残りの上位アドレスを記憶する第2の領域とを有する複数のデータアレイと、入力される仮想アドレスのインデックスアドレスをデコードして前記複数のアドレスアレイと前記複数のデータアレイの特定の行を選択するデコーダと、前記複数のアドレスアレイの前記デコーダにより選択された第2の領域から読み出されたそれぞれの値に基づき比較範囲を変更させて、前記複数のアドレスアレイの前記デコーダにより選択された第1の領域から読み出されたそれぞれのアドレスと前記入力される仮想アドレスの上位アドレスの一部とを比較する複数の比較回路と、前記複数のアドレスアレイの前記デコーダにより選択された第2の領域から読み出されたそれぞれの値に基づいて、前記複数のデータアレイの前記デコーダにより選択された第2の領域から読み出されたそれぞれの実アドレス、あるいは、前記入力される仮想アドレスの所定位置のアドレスのい

ずれか一方を選択する複数の第2のセクタと、前記複数の比較回路の比較結果に基づいて、前記複数のデータアレイの前記デコーダにより選択された第1の領域から読み出されたそれぞれの実アドレスの中の1つ、および、前記第2のセクタにより選択されたそれぞれのアドレスの中の1つを選択する第1のセクタとを有することを特徴とする。

【0047】（2）前記（1）の手段において、前記複数のアドレスアレイの第1の領域が、各列毎に複数の記憶素子からなるメモリセルと、複数のメモリセルが接続されメモリセルの相補信号が伝達されるデータ線対と、前記データ線対の電位がスイッチング素子を介して伝達されるセンス線対と、前記データ線対および前記センス線対を電源電位にプリチャージする複数のプリチャージ回路と、前記デコーダにより選択されたメモリセルから読み出した値により生じる前記センス線対の電位差を増幅するセンスアンプ回路と、前記センス線対の電位の変化を検出する検出回路とを有し、前記複数の比較回路が、一方の入力端子に、前記複数のアドレスアレイの各列毎に設けられる前記検出回路の出力が入力され、他方の入力端子に、仮想アドレスの各ビットのビット値が入力される複数の排他的論理和回路と、前記複数の排他的論理和回路の出力がゲート電極に印加される複数のNMOSトランジスタと、前記複数のNMOSトランジスタの一方の電極に接続されるヒット線とを有することを特徴とする。

【0048】（3）前記（1）または（2）の手段において、前記メモリ回路が、前記複数のアドレスアレイのそれぞれの第2の領域にデータを書き込む書込手段を有し、また、前記複数の第2のセクタが、読み出し動作が開始する前に、前記複数のデータアレイの前記デコーダにより選択された第2の領域から読み出されたそれぞれの実アドレスを選択して前記第1のセクタに入力し、読み出し動作が開始された後に、前記複数のアドレスアレイの前記デコーダにより選択された第2の領域から読み出されたそれぞれの値が、前記入力される仮想アドレスの所定位置のアドレスを選択する値である場合、前記複数のデータアレイの第2の領域から読み出されたそれぞれの実アドレスに代えて、前記入力される仮想アドレスの所定位置のアドレスを選択して前記第1のセクタに入力する手段を有し、前記書込手段が、前記複数のアドレスアレイの第2の領域に書き込むそれぞれの値と、前記複数のデータアレイの第2の領域に書き込むそれぞれの実アドレスとの所定の論理をとり、前記複数の第2のセクタが、読み出し動作が開始された後に、前記入力される仮想アドレスの所定位置のアドレスを選択する時に、前記第1のセクタが読み出し動作が開始する前の状態を維持する値を、前記複数のデータアレイのそれぞれの第2の領域に書き込むことを特徴とする。

【0049】（4）前記（1）または（2）の手段にお

いて、前記メモリ回路が、前記複数の第2のセクタと前記第1のセクタとの間に論理手段を有し、また、前記複数の第2のセクタが、読み出し動作が開始する前に、前記複数のデータアレイの前記デコーダにより選択された第2の領域から読み出されたそれぞれの実アドレスを選択し、読み出し動作が開始された後に、前記複数のアドレスアレイの前記デコーダにより選択されたそれぞれの第2の領域から読み出されたそれぞれの値が、前記入力される仮想アドレスの所定位置のアドレスを選択する値である場合、前記複数のデータアレイの第2の領域から読み出されたそれぞれの実アドレスに代えて、前記入力される仮想アドレスの所定位置のアドレスを選択する手段を有し、前記論理手段が、前記複数の第2のセクタにより選択されたそれぞれのアドレスと、前記複数のアドレスアレイの前記デコーダにより選択された第2の領域から読み出されたそれぞれの値と同程度の遅延を有する信号との間で所定の論理をとって、第1のセクタに出力する手段を有することを特徴とする。

【0050】

【作用】前記(1)の手段によれば、セットアソシアティブ方式のTLBを備える半導体集積回路において、複数のアドレスアレイにページサイズを示す値を記憶する第2の領域を設け、第2の領域から読み出したそれぞれの値によりコンパレータで比較する比較範囲を変更する。

【0051】また、複数のデータアレイの第2の領域には、ページサイズが変わることによって、ページ内のアドレスとなるか、ページ番号となるかが変化するビット位置のアドレスを記憶する。

【0052】複数のアドレスアレイの第2の領域から読み出したそれぞれの値が、複数のデータアレイの第2の領域に記憶されるアドレスがページ内のアドレスを示す場合には、外部から入力された仮想アドレスの所定位置のアドレスを第2のセクタにより選択し、物理アドレスとして出力する。

【0053】複数のアドレスアレイの第2の領域から読み出したそれぞれの値が、複数のデータアレイの第2の領域に記憶されるアドレスがページ番号を示す場合には、複数のデータアレイの第2の領域から読み出したそれぞれのアドレスを第2のセクタにより選択し、物理アドレスとして出力する。

【0054】これにより、アドレスアレイのそれぞれのエントリに記憶されているページサイズに合ったビットを比較することが可能となり、また、ページサイズが変化しオフセットのビット位置が変化しても正しいオフセットの値を出力することが可能となる。

【0055】前記(2)の手段によれば、セットアソシアティブ方式のTLBを備える半導体集積回路において、複数のアドレスアレイのデータ線、および、データ線の電位がスイッチング素子を介して伝達されるセンス

線を、予めプリチャージ回路で電源電位にプリチャージする。

【0056】次に、選択されたメモリセルから読み出した値により生じる前記センス線対の電位差をセンスアンプ回路で増幅し、前記センス線対の電位の変化を検出回路で検出して、1ビット排他的論理和回路に伝達する。

【0057】1ビット排他的論理和回路は、メモリセルに記憶されたアドレスと入力される仮想アドレスとを比較し、その比較結果をヒット線にソースが共通に接続されたNMOSトランジスタのゲートに入力する。

【0058】これにより、センスアンプを動作させ、データ線、センス線の電位が確定した後、直ちに1ビット排他的論理和回路で比較を行うことができ、余分なタイミングマージンが不要なく高速化が可能となる。

【0059】前記(3)の手段によれば、第2のセクタが、読み出し動作が開始する前に、複数のデータアレイの第2の領域から読み出された実アドレスを選択して第1のセクタに入力し、読み出し動作が開始された後に、複数のアドレスアレイの第2の領域から読み出された値が、複数のデータアレイの第2の領域に記憶されるアドレスがページ内のアドレスを示す場合に、複数のデータアレイの第2の領域から読み出された実アドレスに代えて、入力される仮想アドレスの所定位置のアドレスを選択して前記第1のセクタに入力する。

【0060】また、複数のアドレスアレイの第2の領域に書き込む値と、複数のデータアレイの第2の領域に書き込む実アドレスとの所定の論理をとり、複数の第2のセクタが、読み出し動作が開始された後に、入力される仮想アドレスの所定位置のアドレスを選択する時に、第1のセクタが読み出し動作が開始する前の状態を維持する値を、複数のデータアレイの第2の領域に書き込む。

【0061】これにより、信号のレーシングが防止でき、アドレス変換時間が増大するのを防止することが可能となる。

【0062】前記(4)の手段によれば、第2のセクタが、読み出し動作が開始する前に、複数のデータアレイの第2の領域から読み出された実アドレスを選択し、読み出し動作が開始された後に、複数のアドレスアレイの第2の領域から読み出された値が、複数のデータアレイの第2の領域に記憶されるアドレスがページ内のアドレスを示す場合に、複数のデータアレイの第2の領域から読み出された実アドレスに代えて、記入力される仮想アドレスの所定位置のアドレスを選択し、また、第2のセクタにより選択されたアドレスと、複数のアドレスアレイの第2の領域から読み出された値と同程度の遅延を有する信号との間で所定の論理をとって、第1のセクタに出力する。

【0063】これにより、信号のレーシングが防止でき、アドレス変換時間が増大するのを防止することが可

能となる。

【0064】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0065】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0066】【実施例1】図1は、本発明の一実施例である（実施例1）であるページサイズ可変セットアソシアティブTLBの概略構成を示すブロック図である。

【0067】図1に示すTLBは、4ウェイセットアソシアティブの構成で、1KBおよび4KBの2種類のページサイズのアドレス変換対を記憶するページサイズ可変セットアソシアティブTLBである。

【0068】なお、図1に示すページサイズ可変セットアソシアティブTLBのセット数は32、エントリ数は128である。

【0069】図1に示すページサイズ可変セットアソシアティブTLBは、書き込みウェイセクタ400、デコーダ401、アドレスアレイ402、データアレイ403、コンパレータ404、ウェイセクタ回路405より構成される。

【0070】アドレスアレイ402は、タグ（tag）を記憶する領域（VPN[31:17]、VPN[11:10]）502と、そのエントリに登録されているアドレス変換対（アドレスアレイのタグとデータアレイの実ページ番号）が有効か無効かを示す識別子すなわちV（valid）ビット501、ページサイズを示すビットを記憶する領域SZ（500）から構成される。

【0071】ここで、VPNは、仮想アドレス空間でのページ番号（Virtual Page Number）を意味する。

【0072】さらに、以下、本明細書では、[M:N]でMビット目からNビット目の位置を指すものとする。

【0073】また、データアレイ403は、エントリ毎にページサイズが変わることによって、ページ内のアドレス（オフセット）となるか、ページ番号となるかが変化するビット位置のデータを記憶する領域（[11:10]）503と、必ず変換を受けるビット位置のデータを記憶する領域（PPN[31:12]）504とから構成される。

【0074】デコーダ401は、仮想アドレス（VA[31:0]）505のインデックスフィールド（VA[16:12]）8をデコードし、アドレスアレイ402およびデータアレイ403の中の、同一のインデックスフィールドで選択される4つのエントリの組を選択する。

【0075】読み出されたセットのアドレスアレイ402のタグフィールド（VPN[31:17]）およびVPN[11:10]）15と仮想アドレス505のタグフ

ィールド（VA[31:17]）およびVA[11:10]）9とをコンパレータ404で比較する。

【0076】このコンパレータ404からは、ヒットしたウェイを選択するためのウェイ選択信号である比較の結果を示すヒット信号20が出力される。

【0077】そして、それぞれのデータアレイ403から読み出されたデータ（18, 19）の中から、アドレスアレイ402のタグフィールド（VPN[31:17]）およびVPN[11:10]）15と仮想アドレス505のタグフィールド（VA[31:17]）およびVA[11:10]）9が一致し、かつ、V（valid）ビット501の値37が1を示すウェイのデータを、4:1ウェイセクタ回路405で選択して物理アドレス（21, 22）として出力する。

【0078】なお、本実施例では、V（valid）ビット501の値が1のときエントリに登録されているアドレス変換対が有効なものとして説明する。

【0079】本実施例では、1KBおよび4KBの2種類のページサイズのアドレス変換対を記憶するために以下の構成を採用している。

【0080】仮想アドレス505の中で、ページサイズが1KBの場合は、9ビット～0ビット（VA[9:0]）507がオフセットとなり、ページサイズが4KBの場合は、11ビット～0ビット（VA[11:0]）506がオフセットとなる。

【0081】このため、仮想アドレス505の11ビット～10ビット（VA[11:10]）は、オフセットの一部となる場合と、仮想ページ番号の一部となる場合がある。

【0082】各エントリに登録されているアドレス変換対のページサイズは、予め分かっているわけではなく、また、各エントリ毎に1KBあるいは4KBのページサイズのアドレス変換対が登録される可能性がある。

【0083】このため、オフセットとなる可能性のある仮想アドレス505の11ビット～10ビット（VA[11:10]）をインデックス（セットを選択するアドレス）に含めることはできず、11ビット～10ビット（VA[11:10]）より上位のビット位置の仮想アドレスの部分をインデックスとしなければならない。

【0084】図1に示すページサイズ可変セットアソシアティブTLBは、128エントリの4ウェイセットアソシアティブ構成（32セット）なので、インデックスフィールドは、仮想アドレス505の16ビット～12ビット（VA[16:12]）8の5ビットとなる。

【0085】また、ページサイズが1KBの場合は、仮想アドレス505の11ビット～10ビット（VA[11:10]）は仮想ページ番号の一部分なので、仮想アドレス505のタグフィールドとして扱わなければならない。

【0086】このため、アドレスアレイ402にも、1

1ビット～10ビット(VPN[11:10])を記憶する領域を設けている。

【0087】さらに、エントリ毎にページサイズを表すビットを記憶する領域SZ(500)を設けて、読み出した領域SZ(500)の値16により、11ビット～10ビット([11:10])を比較に含めるか含めないかを決定する。

【0088】本実施例では、例えば、領域SZ(500)の値が1のときに4KB、領域SZ(500)の値が0のときに1KBのページサイズを表すものとして説明する。

【0089】即ち、読み出した領域SZ(500)の値16が0の場合は、アドレスレイ402から読み出した31ビット～17ビット(VPN[31:17])、および、11ビット～10ビット(VPN[11:10])と、仮想アドレス505の31ビット～17ビット(VA[31:17])、および、11ビット、10ビット(VA[11:10])とを比較する。

【0090】また、読み出した領域SZ(500)の値16が1の場合は、アドレスレイ402から読み出した31ビット～17ビット(VPN[31:17])と、仮想アドレス505の31ビット～17ビット(VA[31:17])とだけを比較する。

【0091】このとき、比較結果20は、アドレスレイ402から読み出した値と入力された仮想アドレス505の値とが一致し、かつ、V(valid)ビット501の値が1でなければ、ヒットとならないよう構成する。

【0092】インデックスを仮想アドレス505の16ビット～12ビット(VA[16:12])の5ビットとし、ページサイズが4KBの場合のオフセット(VA[11:10])506のすぐ上位の5ビットとしたことで、ページサイズが1KBの場合は、インデックスより下位の2ビット(VA[11:10])もタグフィールドに含めなければならない。

【0093】このためページサイズが1KBの場合、仮想アドレス505の31ビット～17ビット(VA[16:12])が同一で、仮想アドレス505の11ビット～10ビット(VA[11:10])が異なる仮想アドレス505に対応する実ページ番号は同一のセットにマッピングされ、衝突の可能性が大きくなる。

【0094】しかしながら、図1に示すTLBでは、インデックスより下位のタグフィールドが2ビットで、かつ、4ウェイなので、衝突の可能性のある全ての変換対を同一のセットに記憶することができ、衝突の問題を回避できる。

【0095】ウェイ数が少ない場合、あるいはインデックスより下位のタグフィールドのビット数が多い場合はセットを選択する関数に適切なハッシュイングを施すことで衝突の可能性を小さくできる。

【0096】また、ページサイズが4KBの場合、仮想アドレス505の11ビット～10ビット(VA[11:10])の2ビットはオフセットの一部となり、仮想アドレス505の11ビット～10ビット(VA[11:10])は変換を受けないが、ページサイズが1KBの場合、仮想アドレス505の11ビット～10ビット(VA[11:10])の2ビットは仮想ページ番号の一部なので、物理ページ番号に変換されなければならない。

【0097】このために、読み出した領域SZ(500)の値16により、データレイ403の領域([11:10])503から読み出した11ビット～10ビット(17)、あるいは、仮想アドレス505の11ビット～10ビット(VA[11:10])7のどちらか一方を選択して物理アドレス21として出力する。

【0098】即ち、領域SZ(500)の値が1のときは、ページサイズが4KBとなり、ページ内オフセットは仮想アドレス505の11ビット～0ビット(VA[11:0])の12ビットとなるので、仮想アドレス505の11ビット～10ビット(VA[11:10])7をそのまま物理アドレスの11ビット～10ビット(21)として出力するようセクタ回路406を制御する。

【0099】また、領域SZ(500)の値が0のときは、ページサイズが1KBとなり、ページ内オフセットは仮想アドレス505の9ビット～0ビット(VA[9:0])の10ビットとなるので、データレイ403の領域([11:10])503から読み出した11ビット～10ビット(17)を物理アドレスの11ビット～10ビット(21)として出力するようセクタ回路406を制御する。

【0100】以上の構成により、図1に示すTLBで、エントリ毎に異なるページサイズのアドレス変換対を記憶する特性を実現することが可能となる。

【0101】書き込み時には、書き込みウェイセクタ400で、データを書き込むウェイを選択し、データを書き込む。

【0102】セットの選択は、書き込み時も読み出し時と同様にデコーダ401で行われることはいうまでもない。

【0103】なお、NORゲート301等の、書き込みデータの制御の詳細については後述する。

【0104】また、図1に示すTLBでは、前記した通常のTLBの読み出し(連想読み出し)以外に、テスト時等には、必ずデータレイの内容を読み出す必要があるので、NAND回路302を設けている。

【0105】即ち、読み出した領域SZ(500)の値16により、データレイ403の領域([11:10])503から読み出した11ビット～10ビット(17)、あるいは、仮想アドレス505の11ビット

～10ビット (VA [11:10]) のどちらか一方を選択して物理アドレス21として出力するだけでなく、制御信号11を低レベル (以下、“L”と略す) とすることで、領域SZ (500) の値に関係なくデータアレイ403の領域 ([11:10]) 503から読み出した11ビット～10ビット (17) をセレクト回路406で選択できるようにしている。

【0106】図1では、4ウェイセットアソシアティブ方式のTLBの例を説明したが、ウェイ数を1つにすることで容易に、各ページをTLBのどの位置にマッピングするかが一意に決められるダイレクトマップ方式のTLBを構成できることはいうまでもない。

【0107】図1に示すTLBを高速化するための構成について、図1ないし図9を用いて説明する。

【0108】図2は、図1に示すコンパレータ404を構成する1ビット分の比較回路 (EOR回路) の具体的な回路構成を示す回路図であり、図3は、その動作波形を示す図である。

【0109】図2に示すNチャネルMOSトランジスタ (以下、NMOSトランジスタと称す。) (107, 108) およびPチャネルMOSトランジスタ (以下、PMOSトランジスタと称す。) (210, 211) が1ビットの比較回路として動作する。

【0110】図2に示す比較回路は、1ビット分の比較回路なので、アドレスアレイ402のメモリセルアレイの各列 (カラム) に1つレイアウトされる。

【0111】次に、図3に示す動作波形に沿って、その動作を説明する。

【0112】PMOSトランジスタ (200～202)、および、PMOSトランジスタ (205～207) により、データ線 (24, 25)、および、センス線 (30, 31) を、予め正の電源電位 (Vcc) にプリチャージする。

【0113】ここで、トランスマOSトランジスタ (102, 103, 203, 204) によりデータ線 (24, 25) と分離した信号線部分をセンス線 (30, 31) と呼ぶこととする。

【0114】その後、データ線 (24, 25) およびセンス線 (30, 31) のプリチャージ信号 (26, 29) (ϕ_{pc}) を高レベル (以下、“H”と称す。) として、プリチャージ用のPMOSトランジスタ (200～202)、および、PMOSトランジスタ (205～207) を非導通 (以下、OFFと称する。) し、ワード線23を“H”とする。

【0115】ワード線23を“H”とすることで、メモリセル407に読み出し電流が流れ、データ線 (24, 25) およびセンス線 (30, 31) に電位差が生じる。

【0116】センス線 (30, 31) に十分な電位差が生じた時点で、 γ スイッチMOSトランジスタの制御信

号27 (ϕ_{ys}) を“H”として、 γ スイッチMOSトランジスタであるトランスマOSトランジスタ (102, 103, 203, 204) をOFFとし、センス線 (30, 31) をデータ線 (24, 25) から分離する。

【0117】同時に、センスアンプの起動信号32 (ϕ_{se}) を“H”として、MOSトランジスタ (208, 209, 104, 105, 106) から構成されるセンスアンプを動作させる。

【0118】センス線 (30, 31) をデータ線 (24, 25) から分離した時点で、メモリセル407の読み出し電流はセンス線 (30, 31) の信号に関係がなくなるので、ワード線23を図3に示すように低レベル (以下、“L”と称す。) としてもよい。

【0119】センス線 (30, 31) をデータ線 (24, 25) から分離することで、センス線 (30, 31) の負荷容量が低減され高速化が達成される。

【0120】また、センスアンプの起動信号32 (ϕ_{se}) を“H”とする時刻までに比較する仮想アドレス505を確定させておく。

【0121】したがって、センスアンプを動作させることで、センス線 (30, 31) 対の一方の電位がGND電位 (0V) となる。

【0122】仮想アドレス505の1ビット (35) とメモリセル407から読み出した1ビットとが一致した場合には、NMOSトランジスタ109のゲート電位が低レベルとなり、仮想アドレス505の1ビット (35) とメモリセル407から読み出した1ビットとが不一致の場合には、NMOSトランジスタ109のゲート電位が“H”となるようにインバータ307等を用いて信号の極性を設定する。

【0123】即ち、NMOSトランジスタ (107, 108)、および、PMOSトランジスタ (210, 211) は、仮想アドレス505の1ビット (35) とメモリセル407から読み出した1ビットとのEOR (排他的論理和) の結果を、NMOSトランジスタ109のゲートに出力する回路として動作する。

【0124】ここで、データ線 (24, 25) およびセンス線 (30, 31) は、予めVccにプリチャージされているので、インバータ (305, 306) の出力は“L”となっている。

【0125】このため、センスアンプを動作させ、センス線 (30, 31) 対の一方の電位が“L”となる時刻以前には、仮想アドレス505の1ビット (35) とメモリセル407から読み出した1ビットとの一致、不一致にかかわらず、NMOSトランジスタ109のゲート電位は“L”となっている。

【0126】センスアンプを動作させることで、センス線 (30, 31) の一方が“L”となり、仮想アドレス505の1ビット (35) とメモリセル407から読み

出した1ビットとが不一致の場合には、NMOSトランジスタ109が導通（以下、ONと称す。）し、予めVccにプリチャージされた信号線36が放電される。

【0127】以下、本明細書では、比較結果を得るためのこの信号線36を、ヒット線と呼ぶことにする。

【0128】仮想アドレス505の1ビット（35）とメモリセル407から読み出した1ビットとが一致した場合には、NMOSトランジスタ109は、OFFのままでヒット線36も”H”を保つ。

【0129】図3に示す動作波形では、仮想アドレス505の1ビット（35）とメモリセル407から読み出した1ビットとが不一致の場合を実線で、仮想アドレス505の1ビット（35）メモリセル407から読み出した1ビットとが一致した場合を破線で示している。

【0130】前記ヒット線36にNMOSトランジスタ109に相当するヒット線放電NMOSトランジスタを複数（比較するビット数分）接続することで、必要なビット幅の比較結果が得られる。

【0131】なお、具体的な回路の詳細については、図4で後述する。

【0132】仮想アドレス505の1ビット（35）とメモリセル407から読み出した1ビットとが不一致の場合、ヒット線36が”L”となり、後述する図4に示す回路およびウエイセレクト回路405でデータアレイ403の読み出しデータを選択した後、センスアンプの起動信号32（ ϕ_{se} ）を”L”としてセンスアンプをOFFとし、また、データ線（24，25）およびセンス線（30，31）のプリチャージ信号（26，29）（ ϕ_{pc} ）、yスイッチMOSトランジスタの制御信号27（ ϕ_{ys} ）を”L”として、データ線（24，25）およびセンス線（30，31）を次のサイクルに備えてプリチャージする。

【0133】センス線（30，31）をプリチャージすることで、NMOSトランジスタ109のゲート電位も”L”となり、NMOSトランジスタ109のゲート電位が”L”となった後、ヒット線36も次のサイクルに備えて”H”にプリチャージする。

【0134】以上説明したように、データ線（24，25）およびセンス線（30，31）のプリチャージトランジスタをPMOSトランジスタとし、プリチャージ時に比較回路の比較結果が、仮想アドレス505の1ビット（35）とメモリセル407から読み出したデータとが一致したときと同じになるように、比較回路（MOSトランジスタ107，108，210，211）の入力の極性を設定する。

【0135】これにより、センスアンプ（MOSトランジスタ208，209，104，105，106）を動作させる起動信号32（ ϕ_{se} ）のタイミングを設計するだけで、センスアンプが動作する。

【0136】それにより、センス線（30，31）対の

一方の電位が”L”となり、仮想アドレス505と読み出しデータの比較が始まり、比較のための特別なタイミング信号を用意する必要がない。

【0137】したがって、本実施例では、余分なタイミングマージンが不要であるため、高速化を達成することが可能となる。

【0138】図4は、図2に示す1ビット分の比較回路（EOR回路）の出力から、ヒットしたウエイを選択するためのウエイ選択信号発生回路の回路構成を示す回路図である。

【0139】図4に示すウエイ選択信号発生回路と図2に示す比較回路とが、図1に示すコンパレータ404を構成する。

【0140】次に、図4に示すウエイ選択信号発生回路の動作について説明する。

【0141】図4に示すNMOSトランジスタ（109，110，111，112）は、図2に示す各列のEOR回路のヒット線36を放電するNMOSトランジスタと、それに相当する他の列のヒット線を放電するNMOSトランジスタを示している。

【0142】PMOSトランジスタ（212，215，214，217）により、ヒット線（36，38）、NOR回路312の出力およびAND回路313の出力は、予め正の電源電位（Vcc）にプリチャージされている。

【0143】プリチャージ信号39（ ϕ_{pc_nor} ）およびプリチャージ信号40（ ϕ_{pc_nor2} ）を”H”として、プリチャージ用PMOSトランジスタ（212，215，214，217）をOFFとした後、アドレスアレイ402から読み出したタグフィールド（V_{PN} [31:17] およびV_{PN} [11:10]）15と仮想アドレス505のタグフィールド（V_A [31:17] およびV_A [11:10]）9との比較を開始する。

【0144】なお、本明細書では、例えば、図4に示すNOR回路312のように、それぞれ反転された入力信号が入力される2入力AND回路を、NOR回路と呼ぶことにする。

【0145】ヒット線（36，38）、NOR回路312の出力およびAND回路313の出力をプリチャージすることで、ヒット線（36，38）、NOR回路312の出力およびAND回路313の出力は”H”、NAND回路314の出力は”L”となり、ウエイ選択信号20も”L”となる。

【0146】このウエイ選択信号20を発生するウエイ選択信号発生回路は、各ウエイに一回路置かれ、このウエイ選択信号20が連想読み出しに際して、そのウエイがヒットしたかミスしたかを示す。

【0147】以下、本明細書では、アドレスレイ402から読み出したタグフィールドと、仮想アドレス505

のタグフィールドとの比較結果が一致し、かつ、V (valid) ビット501の値が1の場合をヒットと呼び、ヒットしなかった場合をミスと呼ぶことにする。

【0148】プリチャージにより全てのウエイのウエイ選択信号20 (図1に示すTLBでは、4ウエイなので4つの信号がある) はヒットの状態 (図4では" L ") となり、アドレスアレイ402から読み出したタグフィールドと仮想アドレス505のタグフィールドとの比較結果、ヒットしたウエイがある場合は、そのヒットしたウエイのウエイ選択信号20はヒットの状態 (" L ") を保ち、他のウエイのウエイ選択信号20はミスの状態 (" H ") となる。

【0149】全てのウエイがミスの場合は、全てのウエイのウエイ選択信号20はミスの状態 (" H ") となる。

【0150】このウエイ選択信号20を用いて、後述するように、ウエイセクタ回路405を制御し、データアレイ403の読み出しデータを選択する。

【0151】データアレイ403の読み出しデータを選択した後に、再び、ヒット線 (36, 38) およびAND回路 (312, 313) の出力をプリチャージすることは、図2の場合と同様である。

【0152】図2に示す比較回路の説明で述べたように、センスアンプの起動信号32 (φse) を " H " とすることで比較が始まり、仮想アドレス505の所定の位置の1ビットとメモリセルから読み出した1ビットとが不一致の場合には、NMOSTランジスタ109、NMOSTランジスタ110、NMOSTランジスタ111、あるいは、NMOSTランジスタ112がONとなる。

【0153】これにより、アドレスアレイ402から読み出した31ビット~17ビット (VPN [31:17]) と仮想アドレス505の31ビット~17ビット (VA [31:17]) とが1ビットでも一致しないとヒット線36が " L " となり、また、アドレスアレイ402から読み出した11ビット~10ビット (VPN [11:10]) と仮想アドレス505の11ビット~10ビット (VA [11:10]) とが1ビットでも一致しないとヒット線38が " L " となる。

【0154】ヒット線36が " L " となると、インバータ308の出力は " H "、NOR回路312の出力は " L "、NAND回路314の出力は " H " となる。

【0155】NAND回路314の出力が " H " となるので、ウエイ選択信号20もミスの状態 (" H ") となる。

【0156】ここで、PMOSTランジスタ (213, 216) は、アドレスアレイ402のから読み出した31ビット~17ビット (VPN [31:17])、および、11ビット~10ビット (VPN [11:10]) と、仮想アドレス505の31ビット~17ビット (V

A [31:17])、および、11ビット~10ビット (VA [11:10]) とが一致した場合に、ヒット線 (36, 38) の電位を " H " に保つための素子である。

【0157】なお、図4では、インバータ (308, 310) の出力からフィードバックする構成を示しているが、十分大きなスタティックな抵抗でも良いことはいうまでもない。

【0158】エントリに登録されているアドレス変換対が有効か無効かを示す識別子V (valid) ビット501の値37によって、ウエイ選択信号の値を変化させなければならないので、図4に示す回路では、NOR回路312を付加している。

【0159】V (valid) ビット501の値37が0 (" L ") の場合は、アドレスアレイ402から読み出したタグフィールド (VPN [31:17]) およびVPN [11:10]) と仮想アドレス505のタグフィールド (VA [31:17]) およびVA [11:10]) 9との比較結果によらず、インバータ309の出力は " H " となる。

【0160】インバータ309の出力が " H " となるので、NOR回路312の出力は " L "、NAND回路314の出力は " H "、ウエイ選択信号20も " H " となる。

【0161】即ち、図4に示す回路では、V (valid) ビット501の値37が0のときは、アドレスアレイ402から読み出したタグフィールド (VPN [31:17]) およびVPN [11:10]) と仮想アドレス505のタグフィールド (VA [31:17]) およびVA [11:10]) 9との比較結果によらず、ウエイ選択信号20はミスの状態となる。

【0162】また、本実施例では、以下に説明するように、ページサイズを示す領域SZ (500) の値16によって、アドレスの比較の範囲 (連想範囲) を変化させている。

【0163】図1に示すTLBの説明で述べたように、読み出した領域SZ (500) の値16が0の場合 (1KBページ) は、アドレスアレイ402から読み出した31ビット~17ビット (VPN [31:17])、および、11ビット~10ビット (VPN [11:10]) と、仮想アドレス505の31ビット~17ビット (VA [31:17])、および、11ビット、10ビット (VA [11:10]) とを比較する。

【0164】また、読み出した領域SZ (500) の値16が1の場合 (4KBページ) は、アドレスアレイ402から読み出した31ビット~17ビット (VPN [31:17]) と、仮想アドレス505の31ビット~17ビット (VA [31:17]) とだけを比較しなければならない。

【0165】そのため、図4に示すウエイ選択信号発生

回路では、NAND回路313が付加されている。

【0166】領域SZ(500)の値16が0("L")の場合、インバータ311の出力が"H"となるので、NAND回路313の出力は、ヒット線38の出力、即ち、アドレスアレイ402から読み出した11ビット~10ビット(VPN[11:10])と、仮想アドレス505の11ビット~10ビット(VA[11:10])との比較結果によって変化する。

【0167】アドレスアレイ402から読み出した11ビット~10ビット(VPN[11:10])と、仮想アドレス505の11ビット~10ビット(VA[11:10])とが一致し、ヒット線38が"H"の場合は、インバータ310の出力が"L"、NAND回路313の出力は"H"となる。

【0168】ここで、アドレスアレイ402から読み出した31ビット~17ビット(VPN[31:17])と、仮想アドレス505の31ビット~17ビット(VA[31:17])とが一致した場合、NAND回路314の出力は"L"となり、ウエイ選択信号20はヒットの状態("L")を保つ。

【0169】アドレスアレイ402から読み出した11ビット~10ビット(VPN[11:10])と、仮想アドレス505の11ビット~10ビット(VA[11:10])とが一致せず、ヒット線38が"L"となった場合は、インバータ310の出力が"H"、NAND回路313の出力は"L"、NAND314の出力は"H"、ウエイ選択信号20はミス状態("H")となる。

【0170】一方、読み出した領域SZ(500)の値16が1の場合は、インバータ311の出力が"L"となるので、NAND回路313の出力は、アドレスアレイ402から読み出した11ビット~10ビット(VPN[11:10])と、仮想アドレス505の11ビット~10ビット(VA[11:10])との比較結果にかかわらず"H"となる。

【0171】したがって、ウエイ選択信号20は、アドレスアレイ402から読み出した31ビット~17ビット(VPN[31:17])と、仮想アドレス505の31ビット~17ビット(VA[31:17])との比較結果、および、V(valid)ビット501の値37だけで決定される。

【0172】前記した構成により、ページサイズを示すビット領域SZ(500)の値16によってコンパレータの比較範囲を変化させ、エントリ毎のページサイズ可変の特性を実現することが可能となる。

【0173】また、図4に示すウエイ選択信号発生回路では、高速化のために以下の構成を採用している。

【0174】図4では、NMOSTランジスタ109とNMOSTランジスタ110との2つのランジスタしか図示していないが、比較ビット数分、本実施例では、

15個のランジスタが並列に接続される。

【0175】前記NMOSTランジスタ(109~110)、および、NMOSTランジスタ(111, 112)は、NOR回路として働き、予めプリチャージされたヒット線(36, 38)を放電する。

【0176】論理機能を実現するランジスタがNMOSTランジスタだけのいわゆるダイナミック回路なので、同一入力容量で比較した場合、CMOSTランジスタから構成されるスタティックな回路に対して高速化が達成される。

【0177】また、インバータ(308, 310)、NOR回路312、NAND回路313、NAND314、インバータ回路(315, 316)の論理しきい値をずらすことで、さらに高速化できる。

【0178】具体的には、インバータ(308, 310)、NAND回路314、インバータ回路316は、出力信号の立ち上がりが速くなるようPMOSTランジスタのゲート幅をNMOSTランジスタより大きく設計し、論理しきい値を $V_{cc}/2$ より高く設定する。

【0179】NOR回路312、NAND回路313、インバータ回路315は、出力信号の立ち下がりが速くなるようNMOSTランジスタのゲート幅をPMOSTランジスタより大きく設計し、論理しきい値を $V_{cc}/2$ より低く設定する。

【0180】これにより、プリチャージによりヒットの状態("L")となったウエイ選択信号20が、ミスの状態("H")に変化する際の遅延時間を短縮することが可能となる。

【0181】前記ウエイ選択信号20が、ヒットの状態("L")からミスの状態("H")に変化する際の遅延時間を、順方向の遅延時間と呼び、逆に、ウエイ選択信号20が、ミスの状態("H")からヒットの状態("L")に変化する際の遅延時間を、逆方向の遅延時間と呼ぶことにする。

【0182】この場合に、ウエイ選択信号20が、ミスの状態("H")からヒットの状態("L")に変化する際の遅延時間は大きくなるが、アドレス変換時間に関係するのは順方向の遅延時間だけなので、動作サイクル時間内にウエイ選択信号20をヒットの状態("L")とできれば、サイクル時間を増大させることなくアドレス変換時間を短縮することができる。

【0183】また、論理しきい値をずらすだけでなく、クロックによる消費電力増とサイクル時間のトレードオフを考慮して、図4に示すPMOSTランジスタ(214, 217)のようにプリチャージと組合せることができることはいうまでもない。

【0184】この場合に、プリチャージを行うと、クロック線40の消費電力は増加するが、逆方向の遅延時間を短縮することが可能となる。

【0185】図4に図示はしていないが、高速化のため

に、15個のトランジスタが並列に接続されているNMOSトランジスタ(109~110)のように1ヒット線で多入力(図4では15)NOR機能を実現するだけでなく、ヒット線増による面積の増大が大きくならない場合には、NMOSトランジスタ(109~110)を分割し、例えば、8入力NOR回路と7入力NOR回路に分割し、NOR回路312を3入力NOR回路として負荷容量を均等化し高速化することも可能である。

【0186】図4の場合には、ヒット線36の寄生容量が大きくなるので、前記したような構成を採用するとよい。

【0187】以上説明した構成により、高速な可変比較範囲のコンパレータを実現することが可能である。

【0188】また、図4に示すウエイ選択信号発生回路では、占有面積を低減するために以下の構成を採用している。

【0189】前記したように、ヒット線(36, 38)は、高速化のためにダイナミック回路で構成されているが、実際のレイアウトでは、4ウエイ分のヒット線(36, 38)が隣接して配置されることになる。

【0190】ヒットするウエイは1つなので、4本の隣接するヒット線のうち、3本のヒット線の電位は“H”から“L”に変化し、1本だけが“H”を保つ。

【0191】したがって、ヒットしたヒット線(36, 38)の電位は、カップリングにより、隣接する配線との線間容量と総配線容量の比程度の“H”レベルの低下が生じる。

【0192】高速化のために、インバータ(308, 310)の論理しきい値を高くした場合には、インバータ(308, 310)の動作余裕が減少するので、ダイナミック回路を構成するヒット線(36, 38)は隣接配線とシールドすることが望ましいが、これは占有面積を増大させることになる。

【0193】この占有面積の増大を必要最小限に抑えるために、多入力の論理機能が必要ない部分、即ち、読み出したV(valid)ビット501の値37と領域SZ(500)の値16の信号線はシールドせず、V(valid)ビット501の値37と領域SZ(500)の値16を駆動する回路はスタティック回路とする。

【0194】この場合、インバータ(309, 311)の論理しきい値も $V_{cc}/2$ 程度とする。

【0195】なお、領域SZ(500)の値16の駆動回路については、図9で後述する。

【0196】なぜならば、クリティカルパスはヒット線(36, 38)なので、V(valid)ビット501の値37と領域SZ(500)の値16をダイナミック回路として高速化しなくても、ヒット線(36, 38)の遅延時間内にV(valid)ビット501の値37と領域SZ(500)の値16を駆動できれば、全体のアドレス変換時間に影響がないからである。

【0197】以上説明した構成により、占有面積の増加を抑えつつアドレス変換時間を短縮することが可能となる。

【0198】図5、図6は、ウエイセクタ回路405の具体的な回路構成を示す回路図であり、図7は、その動作波形を示す図である。

【0199】図5に示すOR-AND-NOT複合ゲート回路(319, 320)およびNOR回路321が、図1に示すウエイセクタ回路405を構成する。

【0200】図6は、図5に示すOR-AND-NOT複合ゲート回路(319, 320)をMOSトランジスタで構成した回路構成を示す回路図である。

【0201】本実施例では、各ビット毎に4ウエイ並べており、図5に示すウエイセクタ回路405は1ビット分の回路なので、データアレイのメモセルアレイの4列に1つレイアウトされる。

【0202】なお、図5では、メモセルアレイ1列分のカラム回路と4ウエイ分のウエイセクタ回路405のみを示している。

【0203】4:1セクタ(マルチプレクサ)において、4つの制御信号が全て同じ状態になっても、出力がハイインピーダンスとなったり、定常電流が流れないようにするために、ウエイセクタ回路405に複合ゲート回路を採用する。

【0204】本実施例においては、図5に示すように、4:1ウエイセクタ回路を、図6に示すOR-AND-NOT複合ゲート回路(319, 320)2個と、2入力NOR回路321の組み合わせで実現する。

【0205】OR-AND-NOT複合ゲート回路319のデータ入力には、インバータ318で反転されたセンス線44の信号が入力される。

【0206】センス線(43, 44)は、アドレス比較開始前に“H”にプリチャージされ、また、ウエイ選択信号(20, 48, 49, 50)も4ウエイ全て“L”となるので、OR-AND-NOT複合ゲート回路(319, 320)の出力はアドレス比較開始前には全て“H”となる。

【0207】OR-AND-NOT複合ゲート回路(319, 320)の入力とならない方のセンス線43にもインバータ回路(出力オープン)を置いているのは、センス線(43, 44)対の容量を等しくするためである。

【0208】図5に示すウエイセクタ回路405の動作を、図7の動作波形を用いて説明する。

【0209】図5に示すウエイ選択信号(20, 48, 49, 50)は、図4に示すウエイ選択信号とそれに相当する他のウエイを選択するウエイ選択信号である。

【0210】図5に示すウエイ選択信号(20, 48, 49, 50)、および、ウエイセクタ回路以外の回路は、図2に示したアドレスアレイ402の回路と同じた

め、タイミングの詳細やブリチャージについての説明は省略する。

【0211】図5に示すウエイセクタ回路405は待機状態（ブリチャージされた状態）では、インバータ318の出力は“L”となっており、他の列のインバータ318の出力に相当する45、46、47も“L”となっている。

【0212】これにより、MOSトランジスタ（208、209、104、105、106）から構成されるセンスアンプを動作させ、センス線（43、44）対の一方の電位が“L”となる時刻以前には、図4に示す回路で説明したようにウエイ選択信号（20、48、49、50）は、ブリチャージにより全てのウエイはヒットの状態（“L”）となっている。

【0213】また、OR-AND-NOT複合ゲート回路（319、320）は、図6に示すウエイ選択信号（20、48）が共に“L”となっているので出力は“H”になっている。

【0214】これにより、NOR回路321の2つの入力共に“H”となり出力22は“L”になっている。

【0215】読み出し動作を開始させセンスアンプを動作させることで、センス線（43、44）対の一方の電位がGND電位（0V）となる。

【0216】このため、インバータ317あるいはインバータ318のいずれか一方の出力が“H”になる。

【0217】図5に示すウエイセクタ回路405では、読み出した値が1のときにはセンス線44が“L”となり、図7に実線で示すように、インバータ318の出力は“L”から“H”に変化する。

【0218】ウエイ選択信号20が“L”、ウエイ選択信号（48、49、50）が“H”のとき、即ち、ウエイ選択信号20で指されるウエイがヒットした場合、OR-AND-NOT複合ゲート回路319は“L”を出力する。

【0219】OR-AND-NOT複合ゲート回路320はウエイ選択信号49、50が共に“H”なので出力は“L”となる。

【0220】NOR回路321の2つの入力にはOR-AND-NOT複合ゲート回路319、および、OR-AND-NOT複合ゲート回路320の出力“L”が入力されるため、1ビット分の物理アドレス22は“H”となる。

【0221】また、読み出した値が0のときには、センス線44はVccにブリチャージされたまま変化せず、“H”の状態を維持する。

【0222】このため、インバータ318の出力は“L”のまま変化せず、OR-AND-NOT複合ゲート回路319の信号は変化せず、“H”を出力する。

【0223】このときのウエイ選択信号20が“L”、ウエイ選択信号（48、49、50）が“H”のとき、

即ち、ウエイ選択信号20で指されるウエイがヒットした場合、OR-AND-NOT複合ゲート回路319は“H”を出力する。

【0224】このときのOR-AND-NOT複合ゲート回路320は前記したように“L”を出力しているため、NOR回路321の2つの入力には“H”と“L”の信号が入力されるので1ビット分の物理アドレス22は“L”となる。

【0225】以上説明したように、図5に示すウエイセクタ回路405が、4入力1選択のセクタ回路として動作する。

【0226】また、データアレイ403の読み出しデータがウエイ選択信号により選択された後、次のサイクルに備えて待機状態に戻ることは図2および図4の場合と同じである。

【0227】さらに、図5に示すウエイセクタ回路405では、高速化のために以下の構成を採用している。

【0228】本実施例では、アドレス比較時に、ウエイ選択信号は、“L”から“H”にしか変化せず、また、インバータ318の出力18も“L”から“H”へ一方方向にしか変化しない。

【0229】そのため、OR-AND-NOT複合ゲート回路（319、320）の出力の立ち下がりが速くなるように、OR-AND-NOT複合ゲート回路（319、320）のNMOSトランジスタのゲート幅をPMOSトランジスタよりも大きく設計し、論理しきい値を $V_{cc}/2$ よりも低く設定する。

【0230】同様に、OR-AND-NOT複合ゲート回路（319、320）の出力は“H”から“L”へしか変化しないことから、NOR回路21の出力は“L”から“H”にのみ変わる。

【0231】この場合、NOR回路21の出力の立ち上がりが速くなるように、NOR回路21のPMOSトランジスタのゲート幅をNMOSトランジスタより大きく設計し、論理しきい値を $V_{cc}/2$ より高く設定する。

【0232】これにより、センス線（43、44）のブリチャージにより“L”となっていたインバータ318の出力18が、メモリセルから1を読み出したとき“L”から“H”に変化する場合の遅延時間（順方向の遅延時間）を短縮できる。

【0233】また、この場合、OR-AND-NOT複合ゲート回路（319、320）の出力は、図4に示すアドレス比較開始前のヒット線（36、38）、図4に示す2入力NAND回路314の入力ゲート、および、センス線（43、44）のブリチャージにより、“H”の状態になっており、ウエイ選択信号とインバータ318の出力18の変化により“H”から“L”へしか変化しない。

【0234】このため、アドレス変換時間に関係するのは順方向の遅延時間だけなので、動作サイクル時間内に

ウェイ選択信号をヒットの状態”L”とし、インバータ318の出力18を”L”、2入力NAND回路314の出力を”L”とすることができれば、サイクル時間を増大させることなくアドレス変換時間を短縮することができる。

【0235】図8は、図1に示すセクタ回路406の回路構成を示す回路図である。

【0236】図1に示すセクタ回路406は、可変ページサイズとするためにページサイズを示す領域SZ(500)ビットの値で、データアレイ403の領域([11:10])503から読み出した11ビット~10ビット(17)を物理アドレスとして出力するか、仮想アドレス505の11ビット~10ビット(VA[11:10])7をそのまま出力するかを選択する。

【0237】ページサイズの条件は、図1に示したアドレスアレイ402の中の領域SZ(500)の値によって決定され、領域SZ(500)から読み出した値が1のときはページサイズが4KBとなり、仮想アドレス505の11ビット~10ビット(VA[11:10])はオフセットとなるので、仮想アドレス505の11ビット~10ビット(VA[11:10])7をそのまま物理アドレスの11ビット~10ビット([11:10])21として出力する。

【0238】また、領域SZ(500)の値が0のときはページサイズが1KBとなり、仮想アドレス505の11ビット~10ビット(VA[11:10])は仮想ページ番号となるので、データアレイ403の領域([11:10])503から読み出した11ビット~10ビット(17)を物理アドレスの11ビット~10ビット([11:10])21として出力する。

【0239】図8に示すセクタ回路406は、アドレス変換時間を短縮するために、図5および図6に示すウェイセクタ回路405の前段に置かれ、セクタ回路406の出力を、ウェイセクタ回路405で選択する構成としている。

【0240】このセクタ回路406は、仮想アドレス505の11ビット~10ビット(VA[11:10])およびセンス線(43, 44)に接続されているインバータ回路323の出力を入力としている。

【0241】また、アドレスアレイ402の領域SZ(500)の値により決定される制御信号14を用いて、仮想アドレス505の11ビット~10ビット(VA[11:10])7、あるいは、データアレイ403の領域([11:10])503から読み出した11ビット~10ビット(17)の一方を選択し、ウェイセクタ回路405に出力する。

【0242】次に、図8に示すセクタ回路406の動作について説明する。

【0243】図8に示す回路は、PMOSTランジスタ(227, 228, 229, 230)、NMOSTラン

ジスタ(121, 122, 123, 124)およびインバータ(324, 325)からなるセクタ回路406以外は、図5に示すウェイセクタ回路405と同じ構成である。

【0244】ここで、タイミングの詳細やプリチャージについては、図2に示す比較回路で説明したので省略する。

【0245】まず、読み出し動作が開始すると、プリチャージされ”H”の状態になっているセンス線(51, 52)の一方は”L”に電位が変化し、センス線(51, 52)に接続されているインバータ(322, 323)の一方の出力は”L”から”H”に変化する。

【0246】前記センス線(51, 52)に接続されているインバータ(322, 323)の出力は、一方はセクタ回路406の入力となり、もう一方は図5に示すウェイセクタ回路405で説明したようにセンス線(51, 52)対の容量を等しくするために置かれている。

【0247】セクタ回路406は、図1に示すTLBでは、制御信号11が”L”である場合、セクタ制御信号14はページサイズを示す領域SZ(500)の値によらず”H”となる。

【0248】このセクタ制御信号14により、セクタ回路406はインバータ323の出力を選択し、ウェイセクタ回路405のOR-AND-NOT複合ゲート回路(326, 327)へ入力する。

【0249】また、制御信号11が”H”である場合、読み出した領域SZ(500)の値により、データアレイ403の領域([11:10])503から読み出した11ビット~10ビット(17)、あるいは、仮想アドレス505の11ビット~10ビット(VA[11:10])7の一方を、OR-AND-NOT複合ゲート回路(326, 327)へ入力し、物理アドレスの11ビット~10ビット(21)として出力する。

【0250】前記した如く、制御信号11が”H”で、かつ、読み出した領域SZ(500)の値が”L”の場合、ページサイズは1KBとなり、セクタ制御信号14が”H”となるので、セクタ回路406は、データアレイ403の領域([11:10])503から読み出した11ビット~10ビット(17)を選択し、OR-AND-NOT複合ゲート回路(326, 327)へ入力する。

【0251】また、制御信号11が”H”で、かつ、読み出した領域SZ(500)の値が”H”の場合、ページサイズは4KBとなり、セクタ制御信号14が”L”となるので、セクタ回路406は、仮想アドレス505の11ビット~10ビット(VA[11:10])7を選択し、OR-AND-NOT複合ゲート回路(326, 327)へ入力する。

【0252】このようにして、ウェイセクタ回路40

5はウエイ選択信号が”L”（ヒットの状態）のウエイの値を物理アドレス21として出力する。

【0253】以上説明したように、ページサイズが変わるとデータアレイ403のオフセットあるいはページ番号となる領域503と、ウエイセクタ回路405との間に、ページサイズを示す領域SZ（500）の値により仮想アドレスを物理アドレスとして出力するか、ページ番号を物理アドレスとして出力するかを選択するセクタ回路406を設けることでページサイズ可変することが可能となる。

【0254】図9は、図1に示すページサイズを記憶する領域SZ（500）の読み出しおよび書き込み回路の回路構成を示す回路図である。

【0255】図9中の2入力NAND回路302は、図1に示すNAND回路302であり、セクタ制御信号14を生成する回路である。

【0256】図9に示すページサイズを記憶する領域SZ（500）の読み出しおよび書き込み回路の動作を説明する。

【0257】図2、図5および図8の説明で述べたように、プリチャージ回路（PMOSTランジスタ233、234、235）によりデータ線（56、57）およびセンス線（58、59）は、予めVccにプリチャージされている。

【0258】読み出し動作により、プリチャージされ”H”の状態になっているセンス線（58、59）の一方は”L”に電位が変化し、このセンス線（58、59）に接続されているインバータ（329、330）の出力は”L”から”H”に変化する。

【0259】これらのセンス線（58、59）に接続されているインバータ（329、330）の出力は、一方はセクタ制御信号14を生成する2入力NAND回路302の一方の入力となり、もう一方は図4に示すウエイ選択信号発生回路に入力する領域SZ（500）の値16となる。

【0260】セクタ制御信号14は、読み出された領域SZ（500）の値が”H”（センス線58の電位が”L”のとき）、かつ、制御信号11が”H”のとき”L”となり、それ以外ときは”H”となる。

【0261】また、図9に示す破線で囲まれた400の回路は、アドレス指定ウエイ選択回路である。

【0262】データ書き込み時は、アドレス指定ウエイ選択信号60（61）が”L”（”H”）、ライトイネーブル信号64が”H”になり、ワード線が選択されたメモリセル（図9には図示していない）に書込データ4を書き込むことができる。

【0263】以上説明したように、各エントリ毎にページサイズを記憶するビットを設けることにより、セットアソシアティブ方式のTLBで、エントリ毎に異なるページサイズのアドレス変換対を記憶することが可能とな

る。

【0264】図8に示すセクタ回路406を高速化するために、本実施例ではデータアレイ40の書き込みデータを図10に示すように制御する。

【0265】図8に示すセクタ回路406を、論理しきい値をずらしたダイナミック回路とすることで読み出し動作の高速化を図ることができる。

【0266】しかし、図8に示すデータアレイ403の領域（[11:10]）503の11ビット～10ビットを読み出す回路の場合、読み出した11ビット～10ビットのビット値によりウエイセクタ回路405が逆方向動作し、アドレス変換時間が大きくなる場合がある。

【0267】ここで、逆方向動作は、NOR回路328の出力21が”H”から”L”に変化することを意味する。

【0268】このため、ページサイズが1KBの場合には、データアレイ403の11ビット～10ビットの書き込みデータ5を、そのままデータアレイ403の領域（[11:10]）503に書き込み、また、ページサイズが4KBの場合には、セクタ回路406の制御信号14が確定するまでの間に、物理アドレスの出力が変化しないようにデータの書き込みを制御する。

【0269】即ち、読み出し動作が開始してもウエイセクタ回路405の入力信号が、待機状態（プリチャージしている状態）から変化しないような値を、データアレイ403の領域（[11:10]）503に書き込む。

【0270】図8に示すセクタ回路406の場合、データアレイ403の領域（[11:10]）503に書き込むデータの値をウエイセクタ回路405の入力信号が”L”となるように制御する。

【0271】このようにデータアレイ403の領域（[11:10]）503に書き込むデータを制御することで逆方向動作をせず、アドレス変換時間の増大を防ぐことができる。

【0272】図8に示すセクタ回路406において、セクタ回路406の動作はアドレスアレイの領域SZ（500）の値により決定され、ウエイセクタ回路405への入力信号は、仮想アドレス505の11ビット～10ビット（VA[11:10]）7、あるいは、データアレイ403の領域（[11:10]）503から読み出された11ビット～10ビット（17）のいずれかが選択される。

【0273】また、データアレイ403の読み出し時間短縮のために、ウエイセクタ回路405をダイナミック回路としている。

【0274】ウエイセクタ回路405をダイナミック回路することで、ページサイズが4KBのとき逆方向動作する場合がある。

【0275】このときのセレクト回路406およびウエイセレクト回路405の動作を図12を用いて説明する。

【0276】図12は、図8に示すセレクト回路406および図10に示す制御方法の効果を表す動作波形である。

【0277】図12において、タイミングの詳細およびプリチャージは、図2で説明したので省略する。

【0278】読み出し動作開始前のセンス線(58, 59)対はプリチャージしてあるので、制御信号11によらず、セレクト制御信号14は”H”となる。

【0279】このため、セレクト回路406は、PMOSTランジスタ228、NMOSTランジスタ124がONし、データアレイ403の領域([11:10])503から読み出された11ビット~10ビットが、ウエイセレクト回路405のOR-AND-NOT複合ゲート回路326へ入力されている。

【0280】これにより、ウエイセレクト回路405の入力信号は”L”となっている。

【0281】読み出し動作が始まると、読み出されるビットによってインバータ(322, 323)、インバータ(329, 330)の出力が反転する。

【0282】また、ウエイ選択信号(20, 48, 49, 50)は、図4に示すウエイ選択信号発生回路で説明したように、プリチャージにより一度全てのウエイ選択信号がヒットの状態(”L”)となる。

【0283】このとき、物理アドレスは、データアレイ403の領域([11:10])503から読み出された11ビット~10ビットとなる。

【0284】データアレイ403の領域([11:10])503から読み出されたビットが1である場合、センス線52の電位は下がり、インバータ323の出力は”L”から”H”へ変化する。

【0285】セレクト制御信号14が確定し”H”から”L”へ変化するまで、セレクト回路406はセンス線52の信号を選択するため、OR-AND-NOT複合ゲート回路326へは”H”が入力される。

【0286】このとき、全てのウエイにおいてデータアレイ403の領域([11:10])503から1が読み出されると、ウエイ選択信号(20, 48, 49, 50)が確定する前に、ウエイセレクト回路405の出力が変化し、物理アドレスが待機状態”L”から変化してしまう。

【0287】図6に示すOR-AND-NOT複合ゲート回路において、入力18および45に”H”の信号が入力された場合、他の入力20および48によらずOR-AND-NOT複合ゲート回路の出力は”L”となる。

【0288】このため、全てのウエイのデータアレイ403の領域([11:10])503から読み出された

ビット値が1である場合、OR-AND-NOT複合ゲート回路(326, 327)の出力が共に”L”となり、NOR回路328に”L”が入力されるため物理アドレス21は”H”となる。

【0289】その後、セレクト制御信号14が確定し”L”となると、図8に示すPMOSTランジスタ227およびNMOSTランジスタ122がONする。

【0290】これにより、セレクト回路406が、仮想アドレス505の11ビット~10ビット(VA[11:10])7を選択し、OR-AND-NOT複合ゲート回路326へ入力する。

【0291】このときの、仮想アドレス505の11ビット~10ビット(VA[11:10])7の値が0である場合、OR-AND-NOT複合ゲート回路326の出力は”H”に変化し、NOR回路328には”H”および”L”の信号が入力され、出力21は”L”へ反転する。

【0292】これはウエイセレクト回路405をダイナミック回路としたことで、センス線(58, 59)の信号がウエイセレクト回路405を順方向動作(物理アドレスが”L”から”H”に変化する動作)させる値の場合、セレクト制御信号14が確定する前のセンス線(58, 59)の変化により動作してしまうために生じる。

【0293】このように、ウエイセレクト回路405が、逆方向動作(物理アドレスが”H”から”L”に変化する動作)をするために物理アドレスの確定が遅れてしまう。

【0294】このダイナミック回路の逆方向動作を防ぐ方法として、本実施例では、図10に示す書き込みの制御方法で説明したように、ページサイズを示す領域SZ(500)の値が1のとき、予めデータアレイ403の領域([11:10])503には、OR-AND-NOT複合ゲート回路(326, 327)の入力が”L”となる値を書き込むよう制御する。

【0295】これにより、ウエイセレクト回路405の入力信号が待機状態から変わることなくなり、仮想アドレス505の11ビット~10ビット(VA[11:10])7を選択することができる。

【0296】このように、ページサイズによりオフセットとなるか、ページ番号となるかが変化するデータアレイ403の領域([11:10])503への書き込みには、外部から入力されるデータアレイ書き込みデータ5と、ページサイズを示す領域SZ(500)へ書き込む値4との所定の論理関数(図1に示すNOR回路301)の値に制御することにより、アドレス変換時間の増加を防ぐことが可能となる。

【0297】図8、9に示すデータアレイ403の11ビット~10ビットおよび領域SZ(500)のカラム回路の動作を図12の波形に沿って説明する。

【0298】待機状態では、図12において実線(1

9、53、54、55)で示すように、全てのウエイでセクタ回路406が”L”を出力している。

【0299】このとき、OR-AND-NOT複合ゲート回路(326、327)は、ウエイ選択信号(20、48、49、50)が”L”となっているため、”H”を出力する。

【0300】これにより、物理アドレス21は”L”を出力している。

【0301】図10に示す書き込みの制御方法により、ページサイズが4KBのウエイがある場合、そのウエイのデータアレイには0が書き込まれているため、読み出し動作が開始してもページサイズが4KBのウエイを含むOR-AND-NOT複合ゲート回路(326、327)の出力が変化することはない。

【0302】ここでは、図12に波線で示すセクタ回路406の出力19のように、ウエイ選択信号20に対応するウエイに0が書き込まれている。

【0303】OR-AND-NOT複合ゲート回路(326、327)の出力の内どちらか一方が”H”から”L”に変化しても、前記のように2つの入力と共に”L”とならない限り、物理アドレス21が変化することはない。

【0304】その後、セクタ制御信号14が”L”、ウエイ選択信号(48、49、50)が”H”(ミス)、ウエイ選択信号20が”L”(ヒット)の状態に変化し、セクタ回路406が仮想アドレス505の11ビット～10ビット(VA[11:10])7を選択、ウエイセクタ回路405がセクタ回路406の出力19を選択すると、ウエイセクタ回路405の出力は変化せず、物理アドレスも変化しないので高速にアドレス変換することができる。

【0305】このように、読み出し動作開始後、ウエイ選択信号およびセクタ回路406の制御信号14が確定する前に、1つのウエイでもセクタ回路406が”L”を出力すると、”L”が入力されるOR-AND-NOT複合ゲート回路(326、327)の出力は”H”のまま変化せず、物理アドレスの出力21も待機状態から変化することなく”L”のままである。

【0306】また、ウエイ選択信号が確定された後に、セクタ回路406が”H”を出力しても、予め遅延時間が小さくなるようにMOSトランジスタのサイズを設計している(順方向動作)ため高速に物理アドレス21を出力することができる。

【0307】このことから、図10に示す書き込みの制御方法のように、ページサイズが4KBで、セクタ回路406が仮想アドレス505の11ビット～10ビット(VA[11:10])を選択する場合は、予めデータアレイ403の領域([11:10])503の11ビット～10ビットには、ウエイセクタ回路405の入力が”L”となるような値を書き込んでおくことによ

り、アドレス変換時間が大きくなることを防ぐことができる。

【0308】図11は、ページサイズによりオフセットとなるか、ページ番号となるかが変化するビット位置への書き込みデータを制御した場合としない場合のアドレス変換時間を比較した比較結果を示す図である。

【0309】ここでは、ページサイズ領域SZ(500)が1(ページサイズが4KBの場合)、データアレイ403の領域503のすべてのウエイからの読み出しデータが”1”の場合を比較している。

【0310】この結果、逆方向動作を行なった場合と、図10に示す書き込みの制御方法により書き込みデータを制御した結果では、アドレス変換時間を25%短縮することが可能である。

【0311】[実施例2]本実施例2は、ウエイ選択信号として、図4に示すウエイ選択信号と逆相の信号を出力する実施例である。

【0312】図13は、本実施例2のウエイ選択信号発生回路の回路構成を示す回路図であり、図13に示すウエイ選択信号発生回路は、図4に示すウエイ選択信号とは、逆相のウエイ選択信号を出力する。

【0313】図13に示すウエイ選択信号発生回路は、図2に示す比較回路で、アドレスアレイ402から読み出したタグフィールド(VPN[31:17]、VPN[11:10])15と、仮想アドレス505のタグフィールド(VA[31:17]、VA[11:10])9との比較した結果から、ウエイ選択信号を発生する回路である。

【0314】図13に示すウエイ選択信号発生回路と、図2に示す比較回路とが、図1に示すコンパレータ404として動作する。

【0315】図13に示すウエイ選択信号発生回路が、前記図4に示すウエイ選択信号発生回路と異なる点は、ウエイ選択信号のヒットの状態が、図4に示すウエイ選択信号回路と逆相になるようにしている点である。

【0316】その他の回路の動作については、前記図4に示すウエイ選択信号発生回路と同じである。

【0317】ウエイ選択信号66およびそれに相当する信号(図1に示すTLBでは、4ウエイなので4つの信号がある)は、プリチャージ時はヒットの状態”H”(前記図4においては”L”)となり、アドレスアレイ402から読み出したタグフィールド(VPN[31:17]、VPN[11:10])15と、仮想アドレス505のタグフィールド(VA[31:17]、VA[11:10])9とを比較した結果、ヒットしたウエイがある場合は、そのヒットしたウエイのウエイ選択信号はヒットの状態(”H”)を保ち、他のウエイのウエイ選択信号はミスの状態(”L”)となる。

【0318】全てのウエイがミスの場合は、全てのウエイのウエイ選択信号はミスの状態(”L”)となる。

【0319】このウエイ選択信号を用いて、ウエイセクタ回路405を制御し、データアレイ403の読み出しデータを選択し、物理アドレスとして出力する。

【0320】データアレイ403の読み出しデータを選択した後に、再び、ヒット線(36, 38)、NOR回路312の出力およびNAND回路313の出力をブリチャージすることことは、前記図4に示すウエイ選択信号発生回路と同様である。

【0321】図14は、図13に示すウエイ選択信号回路を適用した場合に有効なウエイセクタの回路構成を示す回路図である。

【0322】図14に示すウエイセクタ回路405は、図13に示すウエイ選択信号回路の出力により、アドレスアレイ402から読み出したタグフィールド(VPN[31:17], VPN[11:10])15と、仮想アドレス505のタグフィールド(VA[31:17], VA[11:10])9とが一致したウエイの物理アドレスを出力する。

【0323】図14に示すAND-OR-NOT複合ゲート回路(334, 335)と、2入力NAND回路336とが、図1に示すウエイセクタ回路405を構成する。

【0324】図15は、図14に示すAND-OR-NOT複合ゲート回路(334, 335)をMOSトランジスタで構成した回路構成を示す回路図である。

【0325】図1に示すTLBでは、各ビット毎に4ウエイ並べており、図14に示すウエイセクタ回路405は1ビット分のセクタ回路なので、データアレイ403のメモセルアレイの4列に1つレイアウトされる。

【0326】なお、図14では、メモセルアレイ1列分のカラム回路と4列分のセクタ回路のみを示している。

【0327】図14に示すウエイセクタ回路405の動作について説明する。

【0328】図14において、ウエイ選択信号(66, 71, 72, 73)は、図13に示すウエイ選択信号とそれに相当する他のウエイを選択するウエイ選択信号である。

【0329】図14に示すAND-OR-NOT複合ゲート回路334の入力には、センス線44の信号が直接入力されているが、タイミングの詳細やブリチャージは図2に示す比較回路と同じである。

【0330】図14に示すウエイ選択信号(66, 71, 72, 73)およびウエイセクタ回路以外の回路は、図2に示したアドレスアレイ402のコンパレータ回路を除いたカラム回路と同じ回路である。

【0331】センス線(43, 44)は、あらかじめVccにブリチャージされているので、MOSトランジスタ(115, 116, 117, 223, 224)から構

成されるセンスアンプを動作させことにより、センス線(43, 44)対の一方の電位が”L”となる時刻以前には、ウエイ選択信号(66, 71, 72, 73)はブリチャージにより全てのウエイはヒットの状態(”H”)となっている。

【0332】このため、AND-OR-NOT複合ゲート回路(334, 335)の出力は全て”L”になっており、2入力NAND回路336の出力22(物理アドレス)は”H”になっている。

【0333】センスアンプを動作させることで、センス線(43, 44)の一方が”L”となり、読み出し値が1のときにはセンス線44が”H”となる。

【0334】ウエイ選択信号66が”H”、ウエイ選択信号(71, 72, 73)が”L”のとき、AND-OR-NOT複合ゲート回路334は”L”を出力する。

【0335】AND-OR-NOT複合ゲート回路335は、ウエイ選択信号(72, 73)が共に”L”なので出力は”H”となる。

【0336】2入力NAND回路336には、AND-OR-NOT複合ゲート回路334およびAND-OR-NOT複合ゲート回路335の出力”L”および”H”が入力されるため、1ビット分の物理アドレス22は”H”となる。

【0337】また、読み出し値が0のときにはセンス線44は”L”となる。

【0338】ウエイ選択信号66が”H”、ウエイ選択信号(71, 72, 73)が”L”のとき、AND-OR-NOT複合ゲート回路334は”H”を出力する。

【0339】AND-OR-NOT複合ゲート回路335は、ウエイ選択信号(72, 73)が共に”L”なので”H”となる。

【0340】2入力NAND回路336には、AND-OR-NOT複合ゲート回路334およびAND-OR-NOT複合ゲート回路335の出力の”H”が入力されるため、1ビット分の物理アドレス22は”L”となる。

【0341】図14に示すウエイセクタ回路405でも、高速化のために図5に示すウエイセクタ回路405同様、AND-OR-NOT複合ゲート回路(334, 335)の出力信号の立ち上がりが速くなるよう、AND-OR-NOT複合ゲート回路(334, 335)のPMOSトランジスタのゲート幅をNMOSトランジスタよりも大きく設計し、論理しきい値をVcc/2よりも高く設定する。

【0342】同様に、AND-OR-NOT複合ゲート回路(334, 335)の出力は”L”から”H”へしか変化しないことから、NAND回路336の出力信号の立ち下がりが速くなるように、NAND回路336のNMOSトランジスタのゲート幅をPMOSトランジスタより大きく設計し、論理しきい値をVcc/2より低

く設定する。

【0343】これにより、センス線(43, 44)のプリチャージにより”H”となっていたセンス線(43, 44)の電位が、メモリセルから0を読み出したとき”H”から”L”に変化する場合の遅延時間(順方向の遅延時間)を短縮できる。

【0344】図16は、図13に示すウエイ選択信号発生回路を用いた場合のセレクト回路406の回路構成を示す回路図である。

【0345】図16に示すセレクト回路406は、図14に示すウエイセレクト回路405の前段に置き、セレクト回路406の出力をウエイセレクト回路405で選択する。

【0346】このセレクト回路406は、仮想アドレス505の11ビット～10ビット(VA[11:10])およびアドレスアレイ402のセンス線(43, 44)の信号を入力とし、図9に示す領域SZ(500)の値により決定されるセレクト制御信号14を用いて、データアレイ403の領域([11:10])503から読み出した11ビット～10ビット(17)、あるいは、仮想アドレス505の11ビット～10ビット(VA[11:10])7のいずれかを選択し、ウエイセレクト回路405に出力する。

【0347】図16において、2個のAND-OR-NOT複合ゲート回路(337, 338)と、2入力NAND回路339は、図1に示すウエイセレクト回路405として動作し、4ウエイ分のセレクトの出力をウエイ選択信号(66, 71, 72, 73)により1つのウエイを選択し物理アドレス21として出力する。

【0348】図16に示すセレクト回路406が、仮想アドレス505の11ビット～10ビット(VA[11:10])7、あるいは、データアレイ403の領域([11:10])503から読み出した11ビット～10ビット(17)のいずれか一方を選択する条件は、図8に示すセレクト回路406と同じである。

【0349】2個のAND-OR-NOT複合ゲート回路(337, 338)と、2入力NAND回路339とから構成されるウエイセレクト回路405は、ウエイ選択信号(66, 71, 72, 73)の何れかがヒットの状態(”H”)のウエイの値(74, 75, 76, 77)を物理アドレス21として出力する。

【0350】以上説明したように、ページサイズが変わるとデータアレイ403のオフセットあるいはページ番号となる領域503と、ウエイセレクト回路405との間に、ページサイズを示す領域SZ(500)の値により仮想アドレス505を物理アドレスとして出力するか、ページ番号を物理アドレスとして出力するかを選択するセレクト回路406を設けることでページサイズ可変することが可能となる。

【0351】図16においても、データアレイ読み出し

時間を短縮のためにウエイセレクト回路405をダイナミック回路としている。

【0352】また、セレクト回路406の動作はアドレスアレイの領域SZ(500)の値により出力する信号が決まる。

【0353】図16においても、図8と同様に、ページサイズが4KBのとき逆方向動作する場合がある。

【0354】この逆方向動作も、データアレイ403の書き込みデータを制御することで防ぐことができる。

【0355】読み出し動作開始前のセンス線(51, 52)対は”H”にプリチャージされているので、制御信号11によらず、セレクト制御信号14は”H”となる。

【0356】このため、セレクト回路406は、PMOSトランジスタ228、NMOSトランジスタ124がONし、データアレイ403のセンス線(43, 44)の電位を選択し、ウエイセレクト回路405のAND-OR-NOT複合ゲート回路337へ入力している。

【0357】これにより、ウエイセレクト回路405の入力信号は”H”となっている。

【0358】読み出し動作開始直後は、ウエイ選択信号は、前記したように、プリチャージにより一度全てのウエイ選択信号がヒットの状態(”H”)となっており、セレクト制御信号14もまた”H”のままである。

【0359】このとき、物理アドレスは、データアレイ403の領域([11:10])503から読み出された11ビット～10ビットとなる。

【0360】データアレイ403の領域([11:10])503から読み出されたビットが0である場合、センス線52の電位は下がり、セレクト回路406の入力は待機状態の”H”から”L”へ変化し、AND-OR-NOT複合ゲート回路337には”L”が入力される。

【0361】このとき、全てのウエイにおいてデータアレイ403の領域([11:10])503から0が読み出されると、ウエイ選択信号(66, 71, 72, 73)が確定する前に、ウエイセレクト回路405の出力が変化し、物理アドレスが待機状態”L”から変化してしまう。

【0362】図15に示すAND-OR-NOT複合ゲート回路において、入力67および68に”L”の信号が入力された場合、他の入力66および71によらずAND-OR-NOT複合ゲート回路は”H”を出力する。

【0363】このため、全てのウエイから読み出された値が0である場合、AND-OR-NOT複合ゲート回路(337, 338)の出力が共に”H”となり、NAND回路339に”H”が入力されるため物理アドレス21は”L”となる。

【0364】その後、ページサイズが4KBのとき、領

域SZ (500) から読み出した値が1で、セクタ回路406の制御信号14が”L”に確定すると、PMOSTランジスタ227およびNMOSTランジスタ122がONとなる。

【0365】これにより、セクタ回路406が、仮想アドレス505の11ビット～10ビット (VA [11:10]) 7を選択し、AND-OR-NOT複合ゲート回路337へ入力する。

【0366】このときの、仮想アドレス505の11ビット～10ビット (VA [11:10]) 7の値が1である場合、AND-OR-NOT複合ゲート回路337の出力は”L”に変化し、NOR回路339には”L”および”H”の信号が入力され、出力21は”H”へ反転する。

【0367】前記反転は、前記図8、図9で説明したように、ウエイセクタ回路405をダイナミック回路としたことにより、ウエイセクタ回路405が順方向動作し易くなったことが原因で生じる。

【0368】このダイナミック回路の逆方向動作を防ぐ方法として、図16では、図17に示すように、ページサイズを示す領域SZ (500) の値が1のとき、予めデータアレイ403の領域 ([11:10]) 503 (11ビット～10ビット) には、AND-OR-NOT複合ゲート回路 (337, 338) の入力に”H”となる値 (1) を書き込むよう制御する。

【0369】予めデータアレイ403の領域 ([11:10]) 503に (1) を書き込むためには、図1に示すNOR回路301に代えて、OR回路を用いればよい。

【0370】これにより、ウエイセクタ回路405のAND-OR-NOT複合ゲート回路 (337, 338) の入力に”H”となり、ページサイズが4KBのとき待機状態からセクタ制御信号14が確定するまで、出力は変化することなく物理アドレスが決定される。

【0371】このように、予め領域SZ (500) の値が1でセクタ回路406がオフセットの値を選択する場合には、データアレイ403の領域 ([11:10]) 503) には、ウエイセクタ回路405の入力が”H”となるような値を書き込んでおくことにより、この遅延を防ぎ、アドレス変換時間が大きくなることを防ぐことが出来る。

【0372】【実施例3】本実施例3は、ウエイセクタ回路405が逆方向動作するのを、他の方法で防止するようにした実施例である。

【0373】図18は、本実施例3のセクタ回路406の回路構成を示す回路図であり、図18に示すセクタ回路406は、図8に示したセクタ回路406のインバータ325を2入力のNOR回路340にしたものである。

【0374】前記NOR回路340の一方の入力には、

セクタ制御信号14と同程度の時刻に”L”となるようなセンス線遅延信号78が入力され、他方の入力には、図8に示すインバータ325の入力信号がそのまま入力される。

【0375】ここで、センス線遅延信号78がセクタ制御信号14と同時刻に変化する信号であるので、センス線遅延信号78が”L”となるまで、NOR回路340の出力19は”L”のまま変化しない。

【0376】これにより、ページサイズが4KBのとき、セクタ制御信号14が”H”から”L”に変わる前に、読み出し動作によってセンス線 (51, 52) の信号が変化しても、ウエイセクタ回路405の入力信号が変化しないようにすることができる。

【0377】即ち、セクタ制御信号14が確定する以前のウエイセクタ回路405の入力信号の変化を防ぎ、ウエイセクタ回路405の逆方向動作を防ぐことが可能となる。

【0378】図19は、図18に示すセンス線遅延信号78を出力する遅延信号生成回路の回路構成を示す回路図である。

【0379】遅延信号生成回路は、センス線 (30, 31) の電位の変化から遅延信号を生成する2入力NAND回路341と、インバータ (342, 343, 344) とから構成され、前記2入力NAND回路341のそれぞれの入力端子は、センス線30およびセンス線31に接続されている。

【0380】図19において、遅延信号生成回路以外の回路は、図2に示すアドレスアレイ402のカラム回路 (コンパレータ回路) と同じである。

【0381】待機状態では、センス線 (30, 31) の電位はブリチャージにより電位差はないため、センス線遅延信号78は”H”の状態となっている。

【0382】ワード線が選択され、読み出し動作が始まるとデータ線、センス線 (30, 31) には電位差が生じ、MOSTランジスタ (104, 105, 106, 205, 206) から構成されるセンスアンプを動作させることにより、センス線 (30, 31) 間の電位差は電源電圧となる。

【0383】これにより、センス線遅延信号78は待機状態の”H”から”L”に変化する。

【0384】このセンス線遅延信号78を受け、図18に示すセクタ回路406はセンス線遅延信号78が”L”のときのみ、仮想アドレス505の11ビット～10ビット (VA [11:10]) 7、あるいは、データアレイ403の領域 ([11:10]) 503から読み出された11ビット～10ビット (17) のいずれかを出力し、それ以外の場合、2入力NOR回路340は”L”を出力する。

【0385】このように、図18に示すセクタ回路406では、セクタ制御信号14と同程度の遅延をもつ

センス線遅延信号78を2入力NOR回路340の—入力信号として、セクタ回路406の出力を遅らせることによりアドレス変換時間の増加を防いでいる。

【0386】このように、2入力NOR回路340の入力信号23が変化しても、センス線遅延信号78が変化するまでは、ウエイセクタ回路405の入力信号は変化せず、物理アドレス21は”L”を保つ。

【0387】その後、セクタ制御信号14が”H”から”L”に変化し、仮想アドレス505のオフセットアドレス7を選択した後、センス線遅延信号78が”L”になると、NOR回路340はインバータとして働き、セクタ回路406により選択した信号を出力する。

【0388】このように、ウエイセクタ回路405をダイナミック回路としたことで、データアレイ403の領域([11:10])503から読み出された11ビット~10ビットのビット値が全てのウエイで1であり、また、ページサイズが4KBで、仮想アドレス505の11ビット~10ビット(VA[11:10])が0であるとき、NOR回路340の入力信号は、図8、図9の説明で述べた原因により変化し、アドレス変換時間が増加する。

【0389】しかしながら、センス線遅延信号78を、セクタ制御信号14と同程度の遅延を持って確定する信号とすることにより、OR-AND-NOT複合ゲート回路326の入力は、セクタ制御信号14が確定するまで、待機状態のまま変化しない。

【0390】セクタ制御信号14が確定し、センス線遅延信号78が”L”になると、OR-AND-NOT複合ゲート回路326の入力には、仮想アドレス505の11ビット~10ビット(VA[11:10])が入力され、物理アドレス21は変化しないので”L”に確定する。

【0391】このように、ウエイセクタ回路405は、逆方向動作(出力が”H”から”L”に変化)することなく、アドレス変換時間の増加を防ぐことができる。

【0392】なお、前記各実施例のページサイズ可変セットアソシアティブTLBにおいては、エン트리毎に1KBおよび4KBの2種類のページサイズのアドレス変換対を記憶するようにしたが、エン트리毎に2種類以上のページサイズのアドレス変換対を記憶することも可能である。

【0393】図20は、前記各実施例のページサイズ可変セットアソシアティブTLBにおいて、エン트리毎に2種類以上のページサイズのアドレス変換対を記憶する場合のページサイズ可変セットアソシアティブTLBの要部を示すブロック図である。

【0394】なお、図20では、1ウエイ分しか図示していない。

【0395】各実施例のページサイズ可変セットアソシ

アティブTLBにおいて、エン트리毎に2種類以上のページサイズのアドレス変換対を記憶する場合には、図20に示すように、図1に示すアドレスアレイ402のページサイズを記憶する領域SZ(500)を複数の領域(500a, 500b~500n)に分割する。

【0396】同じく、データアレイ403の、エン트리毎にページサイズが変わることによって、ページ内のアドレスとなるか、ページ番号となるかが変化するビット位置のビット値を記憶する領域503もそれに合わせて複数の領域(503a, 503b~503n)に分割する。

【0397】また、データアレイ403の分割された領域(503a, 503b~503n)から読み出したそれぞれのアドレスは、その出力がウエイセクタ回路405に入力される複数のセクタ回路(406a, 406b~406n)の一方の入力端子に入力する。

【0398】ここで、複数のセクタ回路(406a, 406b~406n)の他方の入力端子には、入力された仮想アドレスが入力される。

【0399】複数のセクタ回路(406a, 406b~406n)は、アドレスアレイ402の分割された領域(500a, 500b~500n)から読み出したそれぞれの値により制御される。

【0400】ここで、複数のNAND回路(302a, 302b~302n)は、図1と同じく、制御信号11によりデータアレイ403の分割された領域(503a, 503b~503n)から読み出したそれぞれのアドレスを、複数のセクタ回路(406a, 406b~406n)で選択するために設けられている。

【0401】図21は、前記各実施例のページサイズ可変セットアソシアティブTLBにおいて、エン트리毎に2種類以上のページサイズのアドレス変換対を記憶する場合のウエイ選択信号発生回路の回路構成を示す回路図である。

【0402】前記各実施例のページサイズ可変セットアソシアティブTLBにおいて、エン트리毎に2種類以上のページサイズのアドレス変換対を記憶する場合には、さらに、コンパレータ404において、アドレスアレイ402の分割された領域(500a, 500b~500n)から読み出したそれぞれの値(16a, 16b~16n)に基づいて、アドレスの比較範囲(連想範囲)を変化させなければならない。

【0403】そのため、図21に示すように、ウエイ選択信号発生回路に、アドレスアレイ402の分割された領域(500a, 500b~500n)から読み出したそれぞれの値(16a, 16b~16n)が、一方の入力端子に入力される複数のNAND回路(313a, 313b~313n)を設け、また、NAND回路314を(n+1)入力のNAND回路314aとする。

【0404】これにより、アドレスアレイ402の分割

された領域（500a, 500b~500n）から読み出した値が（1）のときに、複数のNAND回路（313a, 313b~313n）の出力を”H”として、

（1）が読み出されたアドレスレイ402の分割された領域（500a, 500b~500n）に対応する位置のアドレスをアドレスの比較範囲（連想範囲）から除外することが可能となる。

【0405】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0406】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0407】（1）本発明によれば、アドレスレイの第2の領域にページサイズを示す値を記憶し、第2の領域から読み出した値によりコンパレータで比較する比較範囲を変更することにより、アドレスレイのそれぞれのエントリに記憶されているページサイズに合ったビットを比較することが可能となり、また、ページサイズが変化しオフセットのビット位置が変化しても正しいオフセットの値を出力することが可能となる。

【0408】（2）本発明によれば、アドレスレイの内容と仮想アドレスを比較するコンパレータ回路として、比較のタイミングを必要としない、セルフトリガードダイナミックコンパレータ回路を用いたので、動作マージンを必要とせず、かつ、クロックによる消費電力を減らすことができる。

【0409】（3）本発明によれば、複数のデータレイの第2の領域に、予め1あるいは0を書き込むことにより、読み出し動作が開始されても、第1のセレクトが、読み出し動作開始前の状態を維持できるので、信号のレーシングを防止し、高速にアドレス変換を行うことが可能となる。

【0410】（4）本発明によれば、第2セレクトの出力を、第1セレクトを選択する信号が確定した後に、第1セレクトに出力することにより、信号のレーシングを防止し、高速にアドレス変換を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である（実施例1）であるページサイズ可変セットアソシアティブTLBの概略構成を示すブロック図である。

【図2】図1に示すコンパレータを構成する1ビット分の比較回路の具体的な回路構成を示す回路図である。

【図3】図2に示すコンパレータの動作波形を示す図である。

【図4】図2に示す1ビット分の比較回路の出力から、ヒットしたウエイを選択するためのウエイ選択信号発生回路の回路構成を示す回路図である。

【図5】図1に示すウエイセレクト回路の具体的な回路構成を示す回路図である。

【図6】図5に示すOR-AND-NOT複合ゲート回路をMOSトランジスタで構成した回路構成を示す回路図である。

【図7】図5に示すウエイセレクト回路の動作波形を示す図である。

【図8】図1に示すセレクト回路の回路構成を示す回路図である。

【図9】図1に示すページサイズを記憶する領域SZの読み出しおよび書き込み回路の回路構成を示す回路図である。

【図10】本実施例1における、図1に示すページサイズを示す領域SZへの書き込みの制御方法を説明するための図である。

【図11】図10に示す書き込みの制御方法の効果を説明する図である。

【図12】図8に示すセレクト回路および図10の制御方法の効果を表す動作波形である。

【図13】実施例2のウエイ選択信号発生回路の回路構成を示す回路図である。

【図14】図13に示すウエイ選択信号発生回路を適用した場合に有効なウエイセレクトの回路構成を示す回路図である。

【図15】図14に示すAND-OR-NOT複合ゲート回路をMOSトランジスタで構成した回路構成を示す回路図である。

【図16】図13に示すウエイ選択信号発生回路を用いた場合のセレクト回路の回路構成を示す回路図である。

【図17】実施例2における、図1に示すページサイズを示す領域SZへの書き込みの制御方法を説明するための図である。

【図18】実施例3のセレクト回路の回路構成を示す回路図である。

【図19】図18に示すセンス線遅延信号を出力する遅延信号生成回路の回路構成を示す回路図である。

【図20】前記各実施例のページサイズ可変セットアソシアティブTLBにおいて、エントリ毎に2種類以上のページサイズのアドレス変換対を記憶する場合のページサイズ可変セットアソシアティブTLBの要部を示すブロック図である。

【図21】前記各実施例のページサイズ可変セットアソシアティブTLBにおいて、エントリ毎に2種類以上のページサイズのアドレス変換対を記憶する場合のウエイ選択信号発生回路の回路構成を示す回路図である。

【符号の説明】

1…GND端子、2…正の電源端子、23…ワード線、24, 25, 41, 42, 56, 57…データ線、30, 31, 43, 44, 51, 52, 58, 59…センス線、36, 38, 38a~38n…ヒット線、100

~143...NMOSトランジスタ、200~253...PMOSトランジスタ、301、312、321、328、340...NOR回路、302、302a~302、313、313a~313n、314、314a、336、339、341...NAND回路、319、320、326、327...OR-AND-NOT複合ゲート回路、334、335、337、338...AND-OR-NOT複合ゲート回路、303、304、305、306、308、309、310、311、315、316、317、318、322、323、324、324、325、329、330、331、332、333、342、343、344...インバータ、400...書

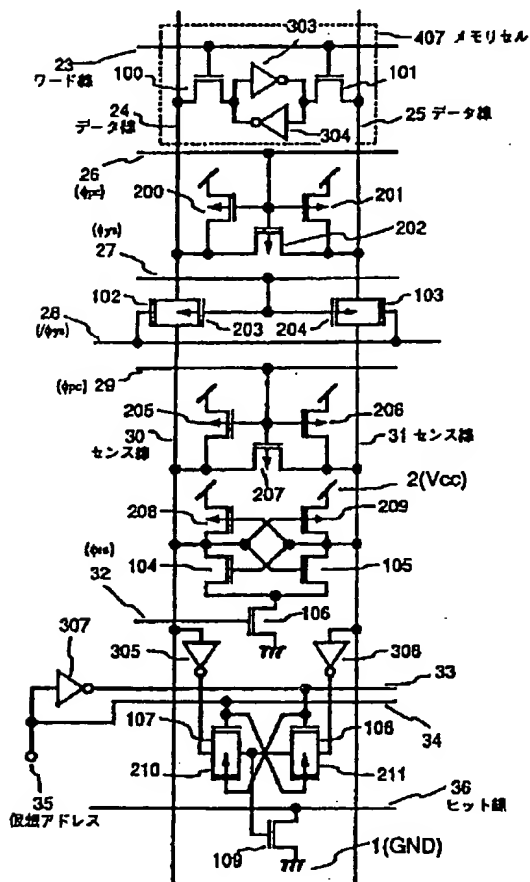
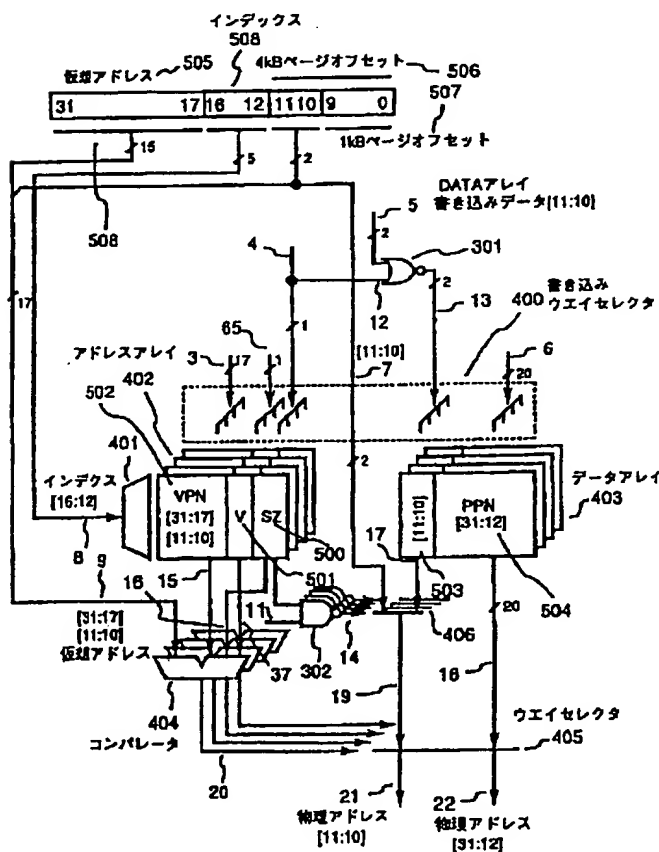
き込みウエイセクタ、401...アドレスデコーダ、402...アドレスアレイ、403...データアレイ、404...コンパレータ、405...ウエイセクタ回路、406、302a~302n...セクタ回路、407...メモリセル、500、500a~500n...ページサイズビット(SZ領域)、501...validビット記憶領域、502...仮想ページ番号記憶領域、503、503a~503n...ページ番号記憶領域、504...物理アドレス記憶領域、505...仮想アドレス、506...4KBページオフセット、507...1KBページオフセット、508...インデックス。

【図1】

【図2】

図1

図2



【図10】

【図17】

図10

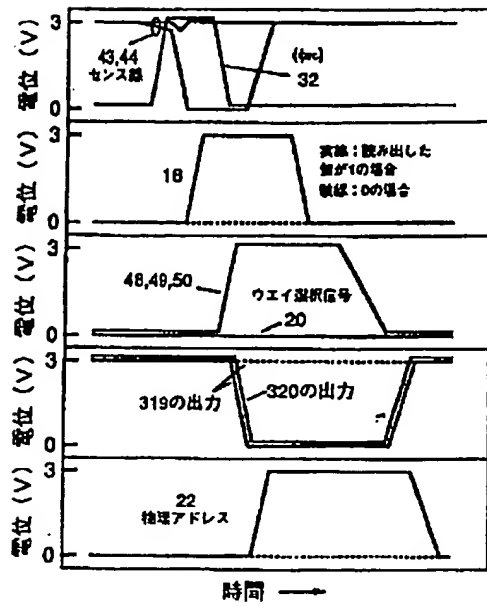
図17

SZの値	ページサイズ	PPN[11:10]へ書き込む値
0	1kB	端子5の値 (0 あるいは 1)
1	4kB	0 (セクタ (OR-AND-NOT) 回路の入力が"1"となる値)

SZの値	ページサイズ	PPN[11:10]へ書き込む値
0	1kB	端子5の値 (0 あるいは 1)
1	4kB	1 (セクタ (AND-OR-NOT) 回路の入力が"H"となる値)

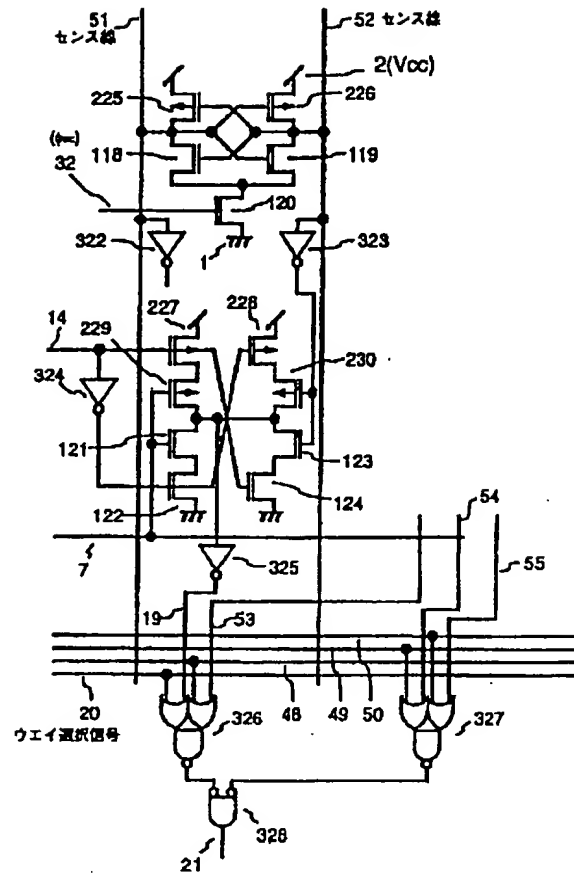
【図 7】

図 7



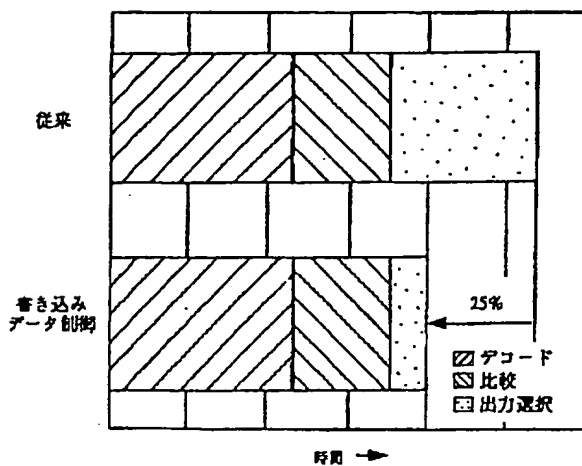
【図 8】

図 8



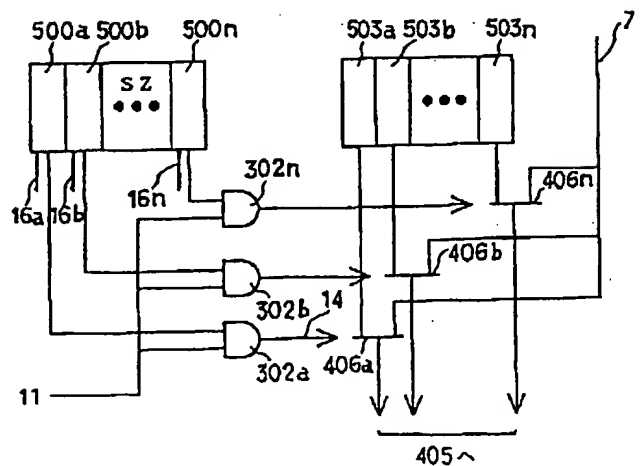
【図 11】

図 11



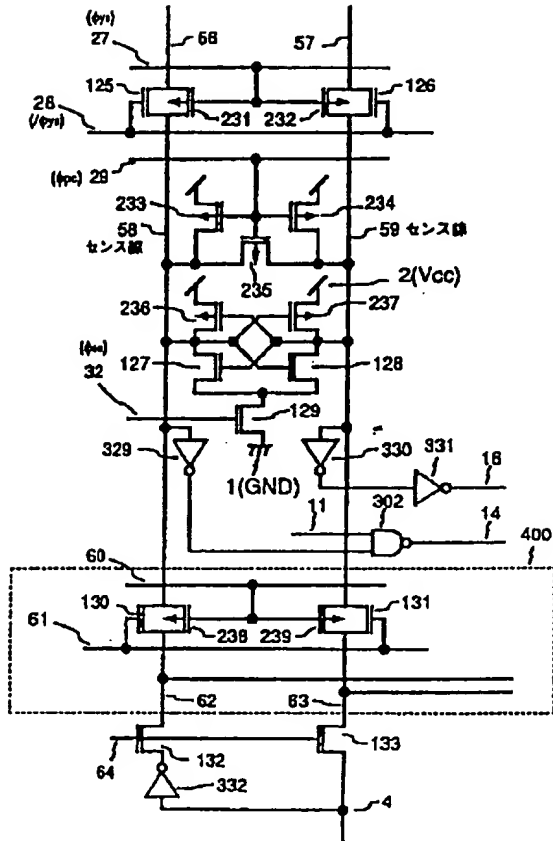
【図 20】

図 20



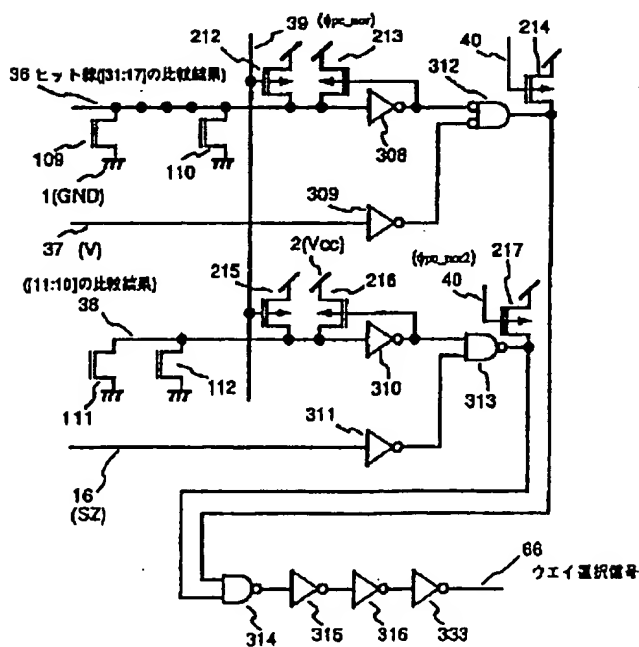
【図 9】

図 9



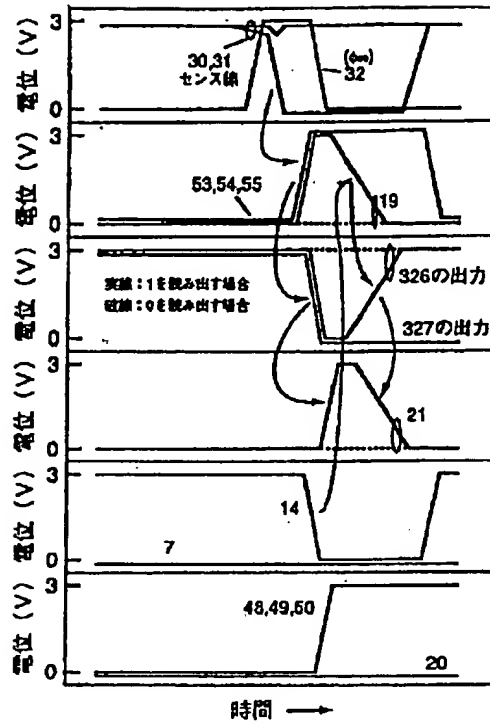
【図 13】

図 13



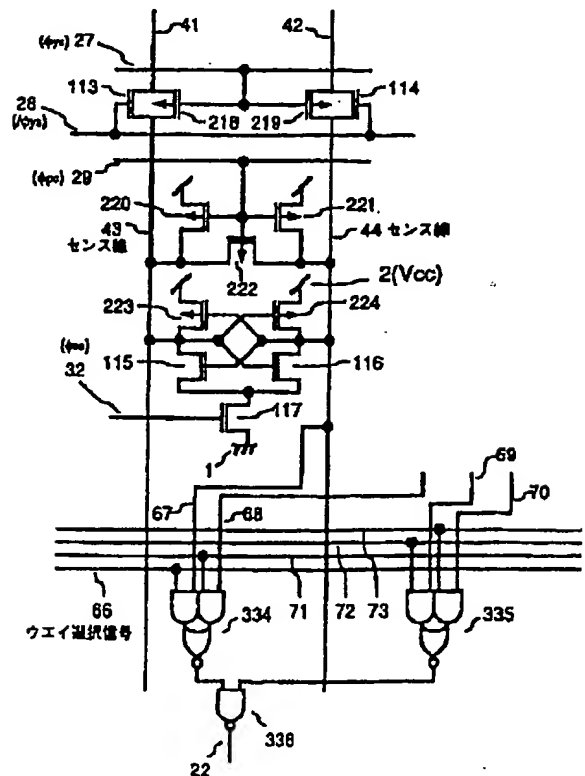
【図 12】

図 12



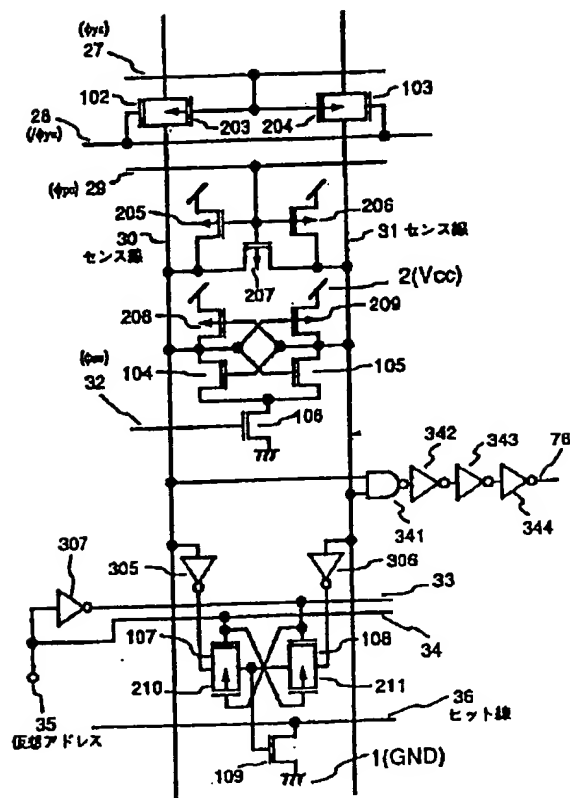
【図 14】

図 14



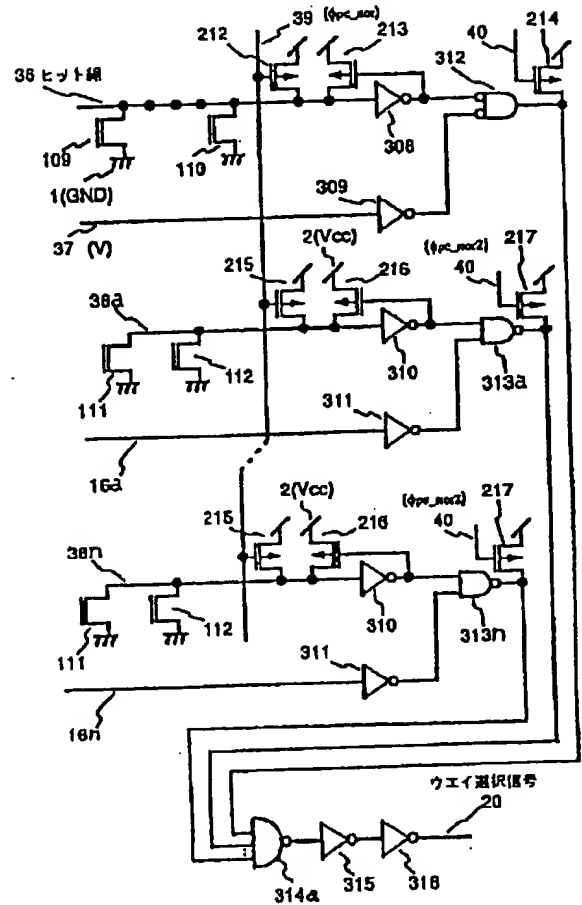
【図19】

図19



【図21】

図21



フロントページの続き

- (72) 発明者 橘 大
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内
- (72) 発明者 成田 進
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内
- (72) 発明者 吉岡 真一
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所半導体事業部内

- (72) 発明者 石橋 孝一郎
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内
- (72) 発明者 樋口 久幸
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内
- (72) 発明者 中込 儀延
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所半導体事業部内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.